

明 細 書

光検出装置

技術分野

[0001] この発明は、フォトダイオードを含むアクティブピクセル型の画素部を有する光検出装置に関するものである。

背景技術

[0002] 光検出装置として、CMOS技術を用いたものが知られており、また、その中でもアクティブピクセル方式のものが知られている(例えば特許文献1を参照)。アクティブピクセル方式の光検出装置は、入射光強度に応じた量の電荷を発生するフォトダイオードを含むアクティブピクセル型の画素部を有していて、画素部において光入射に応じてフォトダイオードで発生した電荷を、トランジスタからなるソースフォロワ回路を経て電荷-電圧変換するものであり、高感度かつ低ノイズで光検出を行なうことができる。

[0003] 画素部内においてフォトダイオードで発生した電荷を蓄積する寄生容量部の容量値を C_f とし、その電荷の量を Q とすると、電荷-電圧変換により得られる出力電圧値 V は「 $V=Q/C_f$ 」なる式で表される。この式から判るように、寄生容量部の容量値 C_f を小さくすることで、光検出の感度を高くすることができる。

[0004] 一方、出力電圧値 V は、使用可能な電源電圧範囲及び回路系の制約により、数 V 程度が上限である。このことから、寄生容量部に蓄積され得る電荷の量 Q にも上限がある。

[0005] 仮に、この寄生容量部に蓄積され得る電荷の量 Q の上限値(飽和電荷量)を大きくするには、寄生容量部の容量値 C_f を大きくするか、あるいは、電源電圧値を大きくすることが考えられる。しかし、寄生容量部の容量値 C_f を大きくするには、微細CMOSプロセスにより製造せざるを得ないことから、電源電圧値を小さくせざるを得ないこととなり、結局、飽和電荷量を大きくすることはできない。また、寄生容量部の容量値 C_f を大きくすると、せっかくの高感度という利点が失われてしまう。

特許文献1:特開平11-274454号公報

発明の開示

発明が解決しようとする課題

[0006] 発明者らは、従来の光検出装置について詳細に検討した結果、以下のような課題を発見した。すなわち、従来の光検出装置は高感度で光検出をすることができるものの、飽和電荷量の制約に起因して光検出のダイナミックレンジが狭いという課題があった。

[0007] この発明は上述のような課題を解決するためになされたものであり、高感度かつ広いダイナミックレンジでの光検出を可能にするための構造を備えた光検出装置を提供することを目的としている。

課題を解決するための手段

[0008] この発明に係る光検出装置は、(1) 入射光強度に応じた量の電荷を発生するフォトダイオードと、ゲート端子に形成された寄生容量部に蓄積されている電荷の量に応じた電圧値を出力する増幅用トランジスタと、フォトダイオードで発生した電荷を増幅用トランジスタのゲート端子へ転送する転送用トランジスタと、寄生容量部の電荷を初期化する放電用トランジスタと、増幅用トランジスタから出力される電圧値を選択的に出力する選択用トランジスタとを含む画素部と、(2)

画素部の選択用トランジスタから出力される電圧値を読み出して、この電圧値に応じた第1電圧値を出力する第1画素データ読出部と、(3) 画素部の放電用トランジスタに接続された第1端子と、画素部の増幅用トランジスタのゲート端子の電荷を初期化する為のバイアス電位を入力する第2端子と、第3端子とを有し、第1端子と第2端子との間又は第1端子と第3端子との間を電氣的に接続する接続切替部と、(4)

接続切替部の第3端子に入力端子が接続され、寄生容量部の容量値より大きい容量値を有する容量素子を含み、接続切替部の第3端子から入力端子に流入した電荷を容量素子に蓄積して、その蓄積した電荷の量に応じた第2電圧値を出力する第2画素データ読出部と、を備えることを特徴とする。

[0009] この光検出装置では、画素部に光が入射すると、その画素部に含まれるフォトダイオードで入射光強度に応じた量の電荷が発生し、その電荷は転送用トランジスタを経て寄生容量部に蓄積される。寄生容量部に蓄積された電荷の量に応じた電圧値が、増幅用トランジスタ及び選択用トランジスタを経て画素部から出力され、第1画素

データ読出部により読み出される。そして、この読み出された電圧値に応じた第1電圧値が第1画素データ読出部から出力される。この第1電圧値は、画素部の寄生容量部が飽和していないとき、すなわち、画素部への入射光の強度が比較的小さいときに、その入射光強度を高感度で検出した結果を高精度に表す。

[0010] また、画素部に含まれるフォトダイオードで発生した電荷は、放電用トランジスタを経て画素部から出力され、接続切替手段を経て第2画素データ読出部に入力する。第2画素データ読出部では、流入した電荷が容量素子に蓄積されて、その蓄積された電荷の量に応じた第2電圧値が出力される。ここで、第2画素データ読出部に含まれる容量素子の容量値は、画素部に含まれる寄生容量部の容量値より大きい。このことから、この第2電圧値は、画素部の寄生容量部が飽和しているとき、すなわち、画素部への入射光の強度が比較的大きいときにも、その入射光強度を検出した結果を高精度に表す。

[0011] したがって、この光検出装置によれば、第1画素データ読出部から出力された第1電圧値と第2画素データ読出部から出力された第2電圧値とに基づいて、高感度かつ広いダイナミックレンジで光検出をすることができる。

[0012] ここで、第2画素データ読出部に含まれる容量素子の容量値が、寄生容量部の容量値の 2^K 倍(ただし、 K は1以上の整数)であるのが好適である。この場合には、画素部の寄生容量部が飽和していないとき、第2画素データ読出部から出力された第2電圧値は、第1画素データ読出部から出力された第1電圧値の 2^K 倍となり得る。そして、例えば、画素部の寄生容量部が飽和しているか否かの判定、第1電圧値及び第2電圧値のうちからの何れか一方の選択、第1電圧値及び第2電圧値の双方又は何れか一方のA/D変換、等の後処理が容易となる。

[0013] この発明に係る光検出装置は、画素部に含まれるフォトダイオードが、第1導電型の第1半導体領域上に第2導電型の第2半導体領域を有し、この第2半導体領域上に第1導電型の第3半導体領域を有し、第1半導体領域と第2半導体領域とがpn接合を形成しており、第2半導体領域と第3半導体領域とがpn接合を形成しているのが好適である。このようにフォトダイオードが埋込型のものである場合には、さらに高感度の光検出をすることができる。なお、第1導電型及び第2導電型のうち一方はn型を

意味し、他方はp型を意味する。

- [0014] この発明に係る光検出装置は、画素部が、フォトダイオードと転送用トランジスタとの間に設けられ飽和領域で用いられる遮断用トランジスタを更に含むのが好適である。この場合にも、さらに高感度の光検出をすることができる。
- [0015] この発明に係る光検出装置は、複数個の画素部が2次元配列されているのが好適であり、この場合には、2次元画像を撮像することができる。
- [0016] また、第2画素データ読出部は、2次元配列された画素部の全てに対して1個の容量素子を有していてもよいが、列毎に1個の容量素子を有するのが好適である。後者の場合には、1つの行にある各画素部に含まれるフォトダイオードで発生した電荷は、同時に、該画素部の放電用トランジスタを経て出力され、接続切替手段を経て第2画素データ読出部に入力し、列毎に設けられた対応する容量素子に蓄積され得る。したがって、高速に撮像をすることができる。
- [0017] また、第1画素データ読出部が或る行の画素部からの出力電圧値を処理する期間に、第2画素データ読出部が該行の画素部からの出力電荷を処理するのが好適である。或いは、第1画素データ読出部が或る行の画素部からの出力電圧値を処理する期間に、第2画素データ読出部が他の行の画素部からの出力電荷を処理するのが好適である。このように第1画素データ読出部及び第2画素データ読出部が並列的に動作する場合には、フレームレートを低下させることなく撮像をすることができる。
- [0018] この発明に係る光検出装置は、第1画素データ読出部から出力される第1電圧値を入力してA/D変換し、この第1電圧値に応じた第1デジタル値を出力するとともに、第2画素データ読出部から出力される第2電圧値を入力してA/D変換し、この第2電圧値に応じた第2デジタル値を出力するA/D変換部を更に備えるのが好適である。また、このA/D変換部から出力される第1デジタル値及び第2デジタル値を入力し、第1電圧値、第2電圧値、第1デジタル値及び第2デジタル値のうちの何れかと基準値とを大小比較した結果に基づいて、第1デジタル値及び第2デジタル値のうち一方を選択して出力する選択出力部を更に備えるのが好適である。
- [0019] この場合には、A/D変換部により、第1画素データ読出部から出力される第1電圧値がA/D変換されて、この第1電圧値に応じた第1デジタル値が出力され、また、第

2画素データ読出部から出力される第2電圧値がA/D変換されて、この第2電圧値に応じた第2デジタル値が出力される。そして、選択出力部により、第1電圧値、第2電圧値、第1デジタル値及び第2デジタル値のうちの何れかと基準値とを大小比較した結果に基づいて、第1デジタル値及び第2デジタル値のうち一方が選択されて出力される。

[0020] 或いは、この発明に係る光検出装置は、第1画素データ読出部から出力される第1電圧値と第2画素データ読出部から出力される第2電圧値とを入力し、第1電圧値及び第2電圧値のうちの何れかと基準値とを大小比較した結果に基づいて、第1電圧値及び第2電圧値のうち一方を選択して出力する選択出力部を更に備えるのが好適である。また、この選択出力部から出力される電圧値を入力してA/D変換し、この電圧値に応じたデジタル値を出力するA/D変換部を更に備えるのが好適である。

[0021] この場合には、選択出力部により、第1電圧値及び第2電圧値のうちの何れかと基準値とを大小比較した結果に基づいて、第1電圧値及び第2電圧値のうち一方が選択されて出力される。そして、A/D変換部により、この選択出力部から出力される電圧値がA/D変換されて、この電圧値に応じたデジタル値が出力される。

[0022] この発明に係る光検出装置は、第2画素データ読出部が、容量素子に対して並列的に設けられた対数圧縮回路を更に含み、接続切替部の第3端子から入力端子に流入した電荷を対数圧縮回路に入力して、その入力した電荷の流入量の対数値に応じた第3電圧値を出力するのが好適である。この場合には、第2画素データ読出部からは、画素部に含まれるフォトダイオードで発生した電荷の量に応じた第2電圧値が出力されるだけでなく、その電荷の流入量の対数値に応じた第3電圧値が対数圧縮回路から出力される。したがって、第1画素データ読出部から出力された第1電圧値と第2画素データ読出部から出力された第2電圧値及び第3電圧値とに基づいて、高感度かつ更に広いダイナミックレンジで光検出をすることができる。

[0023] このように第2画素データ読出部が対数圧縮回路をも含む場合には、第1画素データ読出部から出力される第1電圧値を入力してA/D変換し、この第1電圧値に応じた第1デジタル値を出力するとともに、第2画素データ読出部から出力される第2電圧値及び第3電圧値を入力してA/D変換し、この第2電圧値に応じた第2デジタル値

及び第3電圧値に応じた第3デジタル値を出力するA/D変換部を更に備えるのが好適である。また、A/D変換部から出力される第1デジタル値、第2デジタル値及び第3デジタル値を入力し、第1電圧値、第2電圧値、第3電圧値、第1デジタル値、第2デジタル値及び第3デジタル値のうちの何れかと基準値とを大小比較した結果に基づいて、第1デジタル値、第2デジタル値及び第3デジタル値のうちの何れか1つを選択して出力する選択出力部を更に備えるのが好適である。

- [0024] 或いは、第1画素データ読出部から出力される第1電圧値と第2画素データ読出部から出力される第2電圧値及び第3電圧値とを入力し、第1電圧値、第2電圧値及び第3電圧値のうちの何れかと基準値とを大小比較した結果に基づいて、第1電圧値、第2電圧値及び第3電圧値のうちの何れか1つを選択して出力する選択出力部を更に備えるのが好適である。また、選択出力部から出力される電圧値を入力してA/D変換し、この電圧値に応じたデジタル値を出力するA/D変換部を更に備えるのが好適である。

発明の効果

- [0025] この発明によれば、高感度かつ広いダイナミックレンジでの光検出が可能になる。

図面の簡単な説明

- [0026] [図1]は、この発明に係る光検出装置の第1実施例の概略構成を示す図である。
[図2]は、第1実施例に係る光検出装置における光検出部の構成を示す図である。
[図3]は、第1実施例に係る光検出装置における第1画素データ読出部の構成を示す図である。
[図4]は、第1実施例に係る光検出装置における画素部 $P_{m,n}$ 、電圧保持部 H_n 及びスイッチ SW_n それぞれの回路図である。
[図5]は、第1実施例に係る光検出装置における第2画素データ読出部の構成を示す図である。
[図6]は、第1実施例に係る光検出装置における画素部 $P_{m,n}$ 、積分回路 31_n 及びスイッチ SW_n それぞれの回路図である。
[図7]は、第1実施例に係る光検出装置におけるデータ出力部の一構成例を示す図である。

[図8]は、第1実施例に係る光検出装置におけるデータ出力部の他の構成例を示す図である。

[図9]は、第1実施例に係る光検出装置における画素部 $P_{m,n}$ の断面構造を示す図である。

[図10]は、第1実施例に係る光検出装置における画素部 $P_{m,n}$ の他の構成を示す回路図である。

[図11]は、第1実施例に係る光検出装置の動作例を説明するためのタイミングチャートである。

[図12]は、この発明に係る光検出装置の第2実施例の概略構成を示す図である。

[図13]は、第2実施例に係る光検出装置における第2画素データ読出部の構成を示す図である。

[図14]は、第2実施例に係る光検出装置における画素部 $P_{m,n}$ 、積分回路 31_n 、対数圧縮回路 32_n 及びスイッチ SW_n それぞれの回路図である。

[図15]は、第2実施例に係る光検出装置におけるデータ出力部の一構成例を示す図である。

[図16]は、第2実施例に係る光検出装置におけるデータ出力部の他の構成例を示す図である。

[図17]は、第2実施例に係る光検出装置の動作例を説明するためのタイミングチャートである。

符号の説明

[0027] 1、2…光検出装置、10…光検出部、20…第1画素データ読出部、30、30A…第2画素データ読出部、40、40A…データ出力部、50、50A…タイミング制御部。

発明を実施するための最良の形態

[0028] 以下、この発明に係る光検出装置の各実施例を、図1〜図17を用いて詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。また、M及びNそれぞれは2以上の整数であり、特に明示しない限りは、mは1以上M以下の任意の整数であり、nは1以上N以下の任意の整数である。

[0029] (第1実施例)

先ず、第1実施例に係る光検出装置1の全体構成の概要について図1及び図2を用いて説明する。

[0030] 図1は、第1実施例に係る光検出装置1の概略構成図である。図2は、第1実施例に係る光検出装置1の光検出部10の構成図である。これらの図に示される光検出装置1は、光検出部10、第1画素データ読出部20、第2画素データ読出部30、データ出力部40、タイミング制御部50及びスイッチ $SW_1 \sim SW_N$ を有する。これらは、共通の半導体基板上に形成されているのが好適であり、その場合の基板上の配置が図示のとおりであるのが好適である。なお、タイミング制御部50は、この光検出装置1の全体の動作を制御するものであるが、複数の部分に分割されて互いに離れて基板上に配置されていてもよい。

[0031] 光検出部10は、M行N列に2次元配列された $M \times N$ 個の画素部 $P_{m,n}$ を有する。各画素部 $P_{m,n}$ は第m行第n列に位置する。各画素部 $P_{m,n}$ は、共通の構成を有しており、フォトダイオードを含むアクティブピクセル型のものであり、該フォトダイオードに入射した光の強度に応じた電圧値を配線 $L_{1,n}$ へ出力する。各配線 $L_{1,n}$ は、第n列にあるM個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれの出力端に共通に接続されている。また、各配線 $L_{2,n}$ は、第n列にあるM個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれの他の端子に共通に接続されている。

[0032] 第1画素データ読出部20は、N本の配線 $L_{1,1} \sim L_{1,N}$ と接続されており、各画素部 $P_{m,n}$ から配線 $L_{1,n}$ へ出力される電圧値を入力して、所定の処理を行なった後に、画素データを表す第1電圧値 $V_{1,m,n}$ を順次に出力量する。各電圧値 $V_{1,m,n}$ は、画素部 $P_{m,n}$ へ入射する光の強度に応じた値である。特に、この第1電圧値 $V_{1,m,n}$ は、画素部 $P_{m,n}$ の寄生容量部が飽和していないとき、すなわち、画素部 $P_{m,n}$ への入射光の強度が比較的小さいときに、その入射光強度を高感度で検出した結果を高精度に表す。

[0033] 第2画素データ読出部30は、スイッチ $SW_1 \sim SW_N$ を介してN本の配線 $L_{2,1} \sim L_{2,N}$ と接続されており、各画素部 $P_{m,n}$ から配線 $L_{2,n}$ へ出力されスイッチ SW_n を経て流入する電荷を入力し、その電荷を容量素子に蓄積して、その容量素子に蓄積した電荷の量に応じた第2電圧値 $V_{2,m,n}$ を順次に出力量する。この第2画素データ読出部30に含まれる容量素子の容量値は、画素部 $P_{m,n}$ に含まれる寄生容量部の容量値より大きい。

各電圧値 $V_{2,m,n}$ は、画素部 $P_{m,n}$ へ入射する光の強度に応じた値である。また、この第2電圧値 $V_{2,m,n}$ は、画素部 $P_{m,n}$ の寄生容量部が飽和しているとき、すなわち、画素部 $P_{m,n}$ への入射光の強度が比較的大きいときにも、その入射光強度を検出した結果を高精度に表す。

[0034] データ出力部40は、第1画素データ読出部20から出力される第1電圧値 $V_{1,m,n}$ と、第2画素データ読出部30から出力される第2電圧値 $V_{2,m,n}$ とを入力し、所定の処理を行なってデジタル値 $D_{m,n}$ を出力する。各デジタル値 $D_{m,n}$ は、第1電圧値 $V_{1,m,n}$ 及び第2電圧値 $V_{2,m,n}$ の何れか一方がA/D変換された結果の値であり、画素部 $P_{m,n}$ へ入射する光の強度を表す。

[0035] タイミング制御部50は、光検出部10、第1画素データ読出部20、第2画素データ読出部30、データ出力部40及びスイッチ $SW_1 \sim SW_N$ それぞれの動作を制御する。タイミング制御部50は、例えばシフトレジスタ回路により所定のタイミングで各種の制御信号を発生させて、これらの制御信号を光検出部10、第1画素データ読出部20、第2画素データ読出部30、データ出力部40及びスイッチ $SW_1 \sim SW_N$ それぞれへ送出する。なお、図1及び図2では、制御信号を送る為の配線の図示が一部省略されている。

[0036] 次に、第1実施例に係る光検出装置1の光検出部10及び第1画素データ読出部20の構成について図3及び図4を用いて説明する。

[0037] 図3は、第1実施例に係る光検出装置1の第1画素データ読出部20の構成図である。第1画素データ読出部20は、N個の電圧保持部 $H_1 \sim H_N$ 、2つの電圧フォロワ回路 F_1, F_2 、及び、減算回路Sを有する。各電圧保持部 H_n は、共通の構成を有していて、配線 $L_{1,n}$ と接続されており、第n列にあるM個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれから配線 $L_{1,n}$ へ出力される電圧値を入力して保持することができ、また、その保持している電圧値を出力することができる。N個の電圧保持部 $H_1 \sim H_N$ それぞれは順次に電圧値を出力する。各電圧保持部 H_n が保持し出力する電圧値は、画素部 $P_{m,n}$ から互いに異なる時刻に出力される2つの電圧値 $V_{n,1}, V_{n,2}$ である。

[0038] 2つの電圧フォロワ回路 F_1, F_2 それぞれは、共通の構成を有しており、増幅器の転入力端子と出力端子とが互いに直接に接続されており、高入力インピーダンス及

び低出力インピーダンスを有し、理想的には増幅率1の増幅回路である。一方の電圧フォロワ回路 F_1 は、N個の電圧保持部 $H_1 \sim H_N$ それぞれから順次に出される一方の電圧値 $V_{n,1}$ を非反転入力端子に入力する。他方の電圧フォロワ回路 F_2 は、N個の電圧保持部 $H_1 \sim H_N$ それぞれから順次に出される他方の電圧値 $V_{n,2}$ を非反転入力端子に入力する。

[0039] 減算回路Sは、増幅器及び4個の抵抗器 $R_1 \sim R_4$ を有している。増幅器の反転入力端子は、抵抗器 R_1 を介して電圧フォロワ回路 F_1 の出力端子と接続され、抵抗器 R_3 を介して自己の出力端子と接続されている。増幅器の非反転入力端子は、抵抗器 R_2 を介して電圧フォロワ回路 F_2 の出力端子と接続され、抵抗器 R_4 を介して接地電位と接続されている。電圧フォロワ回路 F_1, F_2 それぞれの増幅率を1として、4個の抵抗器 $R_1 \sim R_4$ それぞれの抵抗値が互いに等しいとすると、減算回路Sの出力端子から出力される第1電圧値 $V_{1,m,n}$ は「 $V_{1,m,n} = V_{n,2} - V_{n,1}$ 」なる式で表される。

[0040] 図4は、第1実施例に係る光検出装置1の画素部 $P_{m,n}$ 、電圧保持部 H_n 及びスイッチ SW_n それぞれの回路図である。この図では簡便の為に1つの画素部 $P_{m,n}$ 、1つの電圧保持部 H_n 及び1つのスイッチ SW_n が代表して示されている。

[0041] 各画素部 $P_{m,n}$ は、入射光強度に応じた量の電荷を発生するフォトダイオードPD、ゲート端子に形成された寄生容量部に蓄積されている電荷の量に応じた電圧値を出力する増幅用トランジスタ T_1 、フォトダイオードPDで発生した電荷を増幅用トランジスタ T_1 のゲート端子へ転送する為の転送用トランジスタ T_2 、増幅用トランジスタ T_1 のゲート端子に形成された寄生容量部の電荷を初期化する為の放電用トランジスタ T_3 、及び、増幅用トランジスタ T_1 から出力される電圧値を外部の配線 $L_{1,n}$ へ出力する為の選択用トランジスタ T_4 を含む。

[0042] フォトダイオードPDは、そのアノード端子が接地電位とされている。増幅用トランジスタ T_1 は、そのゲート端子に寄生容量部が形成されていて、そのドレイン端子がバイアス電位とされている。転送用トランジスタ T_2 は、そのドレイン端子が増幅用トランジスタ T_1 のゲート端子に接続され、そのソース端子がフォトダイオードPDのカソード端子に接続されている。放電用トランジスタ T_3 は、そのソース端子が増幅用トランジスタ T_1 のゲート端子に接続され、そのドレイン端子がスイッチ SW_n と接続されている。選択用

トランジスタ T_4 は、そのソース端子が増幅用トランジスタ T_1 のソース端子と接続され、そのドレイン端子が配線 $L_{1,n}$ と接続されている。また、この配線 $L_{1,n}$ には定電流源が接続されている。増幅用トランジスタ T_1 及び選択用トランジスタ T_4 は、ソースフォロワ回路を構成している。

[0043] なお、定電流源は列毎に配線 $L_{1,n}$ に接続されて設けられていてもよい。また、例えば、各配線 $L_{1,n}$ と第1画素データ読出部20との間にスイッチを設けて、これらのスイッチを順次に閉じることで、第 m 行の N 個の画素部 $P_{m,1}$ 〜 $P_{m,N}$ それぞれから出力される電圧値を第1画素データ読出部20が順次に読み出す場合には、これらのスイッチと第1画素データ読出部20との間の配線に定電流源が1つだけ設けられていてもよい。

[0044] 転送用トランジスタ T_2 は、そのゲート端子に転送制御信号 S_{trans} を入力し、その転送制御信号 S_{trans} がハイレベルであるときに、フォトダイオードPDで発生した電荷を増幅用トランジスタ T_1 のゲート端子に形成されている寄生容量部へ転送する。放電用トランジスタ T_3 は、そのゲート端子に第 m 行放電制御信号 $S_{reset,m}$ を入力し、その第 m 行放電制御信号 $S_{reset,m}$ がハイレベルであるときに、増幅用トランジスタ T_1 のゲート端子とスイッチ SW_n との間を低抵抗にする。選択用トランジスタ T_4 は、そのゲート端子に第 m 行選択制御信号 $S_{select,m}$ を入力し、その第 m 行選択制御信号 $S_{select,m}$ がハイレベルであるときに、増幅用トランジスタ T_1 から出力される電圧値を外部の配線 $L_{1,n}$ へ出力する。

[0045] このように構成される各画素部 $P_{m,n}$ は、転送制御信号 S_{trans} がローレベルであって第 m 行放電制御信号 $S_{reset,m}$ がハイレベルとなり、バイアス電位 V_{bias} がスイッチ SW_n を経て放電用トランジスタ T_3 に入力すると、増幅用トランジスタ T_1 のゲート端子の寄生容量部の電荷が初期化され、第 m 行選択制御信号 $S_{select,m}$ がハイレベルであれば、その初期化状態にある増幅用トランジスタ T_1 から出力される電圧値(暗信号成分)が選択用トランジスタ T_4 を経て配線 $L_{1,n}$ に出力される。一方、第 m 行放電制御信号 $S_{reset,m}$ がローレベルであって、転送制御信号 S_{trans} 及び第 m 行選択制御信号 $S_{select,m}$ それぞれがハイレベルであれば、フォトダイオードPDで発生した電荷は増幅用トランジスタ T_1 のゲート端子に入力して、その電荷の量に応じて増幅用トランジスタ T_1 から出力される電圧値(明信号成分)が選択用トランジスタ T_4 を経て配線 $L_{1,n}$ に出力される。

- [0046] 電圧保持部 H_n は、第1保持部 $H_{n,1}$ 及び第2保持部 $H_{n,2}$ を含む。第1保持部 $H_{n,1}$ 及び第2保持部 $H_{n,2}$ それぞれは、互いに同様の構成であり、第 n 列にある M 個の画素部 $P_{1,n}$ 〜 $P_{M,n}$ それぞれの選択用トランジスタ T_4 から順次出力される電圧値を入力して保持することができ、また、その保持している電圧値を出力することができる。
- [0047] 第1保持部 $H_{n,1}$ は、トランジスタ T_{11} 、トランジスタ T_{12} 及び容量素子 C_1 を含む。容量素子 C_1 の一端は接地電位とされ、容量素子 C_1 の他端は、トランジスタ T_{11} のドレイン端子及びトランジスタ T_{12} のソース端子それぞれと接続されている。トランジスタ T_{11} のソース端子は、配線 $L_{1,n}$ を介して画素部 $P_{m,n}$ の選択用トランジスタ T_4 と接続されている。トランジスタ T_{12} のドレイン端子は、電圧フォロワ回路 F_1 と接続されている。このように構成される第1保持部 $H_{n,1}$ は、トランジスタ T_{11} のゲート端子に入力する第1入力制御信号 $S_{input,1}$ がハイレベルであるときに、配線 $L_{1,n}$ を介して接続されている画素部 $P_{m,n}$ から出力される電圧値を容量素子 C_1 に保持させ、トランジスタ T_{12} のゲート端子に入力する出力制御信号 $S_{output,n}$ がハイレベルであるときに、容量素子 C_1 に保持されている電圧値 $V_{n,1}$ を電圧フォロワ回路 F_1 へ出力する。
- [0048] 第2保持部 $H_{n,2}$ は、トランジスタ T_{21} 、トランジスタ T_{22} 及び容量素子 C_2 を含む。容量素子 C_2 の一端は接地電位とされ、容量素子 C_2 の他端は、トランジスタ T_{21} のドレイン端子及びトランジスタ T_{22} のソース端子それぞれと接続されている。トランジスタ T_{21} のソース端子は、配線 $L_{1,n}$ を介して画素部 $P_{m,n}$ の選択用トランジスタ T_4 と接続されている。トランジスタ T_{22} のドレイン端子は、電圧フォロワ回路 F_2 と接続されている。このように構成される第2保持部 $H_{n,2}$ は、トランジスタ T_{21} のゲート端子に入力する第2入力制御信号 $S_{input,2}$ がハイレベルであるときに、配線 $L_{1,n}$ を介して接続されている画素部 $P_{m,n}$ から出力される電圧値を容量素子 C_2 に保持させ、トランジスタ T_{22} のゲート端子に入力する出力制御信号 $S_{output,n}$ がハイレベルであるときに、容量素子 C_2 に保持されている電圧値 $V_{n,2}$ を電圧フォロワ回路 F_2 へ出力する。
- [0049] 第1保持部 $H_{n,1}$ 及び第2保持部 $H_{n,2}$ それぞれは、互いに異なるタイミングで動作する。例えば、第1保持部 $H_{n,1}$ は、配線 $L_{1,n}$ を介して接続されている画素部 $P_{m,n}$ において転送制御信号 S_{trans} がローレベルであって第 m 行放電制御信号 $S_{reset,m}$ 及び第 m 行選択制御信号 $S_{select,m}$ それぞれがハイレベルであるときに増幅用トランジスタ T_1 から出

力される電圧値(暗信号成分) $V_{n,1}$ を入力して保持する。一方、第2保持部 $H_{n,2}$ は、配線 $L_{1,n}$ を介して接続されている画素部 $P_{m,n}$ において第 m 行放電制御信号 $S_{reset,m}$ がローレベルであって転送制御信号 S_{trans} 及び第 m 行選択制御信号 $S_{select,m}$ それぞれがハイレベルであるときに増幅用トランジスタ T_1 から出力される電圧値(明信号成分) $V_{n,2}$ を入力して保持する。

[0050] なお、転送制御信号 S_{trans} 、第 m 行放電制御信号 $S_{reset,m}$ 、第 m 行選択制御信号 $S_{select,m}$ 、第1入力制御信号 $S_{input,1}$ 、第2入力制御信号 $S_{input,2}$ 及び第 n 列出力制御信号 $S_{output,n}$ それぞれは、タイミング制御部50から出力される。

[0051] 次に、第1実施例に係る光検出装置1の第2画素データ読出部30の構成について図5及び図6を用いて説明する。

[0052] 図5は、第1実施例に係る光検出装置1の第2画素データ読出部30の構成図である。第2画素データ読出部30は、 N 個の積分回路 $31_1 \sim 31_N$ 及び N 個のスイッチ $SW_{1,1} \sim SW_{1,N}$ を有する。各積分回路 31_n は、共通の構成を有して、スイッチ SW_n から入力端に流入した電荷を蓄積する容量素子を有し、この容量素子に蓄積した電荷の量に応じた電圧値をスイッチ $SW_{1,n}$ へ出力する。第2画素データ読出部30は、 N 個のスイッチ $SW_{1,1} \sim SW_{1,N}$ が順次に閉じることで、 N 個の積分回路 $31_1 \sim 31_N$ それぞれから出力される電圧値を第2電圧値 $V_{2,m,n}$ として出力する。

[0053] 図6は、第1実施例に係る光検出装置1の画素部 $P_{m,n}$ 、積分回路 31_n 及びスイッチ SW_n それぞれの回路図である。この図では簡便の為に1つの画素部 $P_{m,n}$ 、1つの積分回路 31_n 及び1つのスイッチ SW_n が代表して示されている。

[0054] 各積分回路 31_n は、増幅器A、容量素子C及びスイッチSWを有する。容量素子C及びスイッチSWそれぞれは、増幅器Aの入力端子と出力端子との間に並列的に設けられている。この容量素子Cの容量値は、画素部 $P_{m,n}$ の増幅用トランジスタ T_1 のゲート端子に形成された寄生容量部の容量値より大きい。また、容量素子Cの容量値は、寄生容量部の容量値の 2^K 倍(K は1以上の整数)であるのが好適である。この積分回路 31_n は、スイッチSWが閉じているときには容量素子Cを初期化する。また、積分回路 31_n は、スイッチSWが開いているときには、配線 $L_{2,n}$ からスイッチ SW_n を経て入力端子に流入した電荷を容量素子Cに蓄積し、その容量素子Cに蓄積した電荷の

量に応じた電圧値をスイッチ $SW_{1,n}$ へ出力する。

[0055] 各スイッチ SW_n は、画素部 $P_{m,n}$ の放電用トランジスタ T_3 のドレイン端子に接続された第1端子と、画素部 $P_{m,n}$ の増幅用トランジスタ T_1 のゲート端子の電荷を初期化する為のバイアス電位 V_{bias} と接続される第2端子と、積分回路 31_n の入力端子と接続された第3端子とを有する。そして、スイッチ SW_n は、第1端子と第2端子との間又は第1端子と第3端子との間を電氣的に接続する接続切替部として作用する。スイッチ SW_n の第1端子と第2端子との間が電氣的に接続されているときには、バイアス電位 V_{bias} は、スイッチ SW_n を経て、画素部 $P_{m,n}$ の放電用トランジスタ T_3 に供給される。一方、スイッチ SW_n の第1端と第3端との間が電氣的に接続されているときには、画素部 $P_{m,n}$ のフォトダイオードPDで発生した電荷は、放電用トランジスタ T_3 及びスイッチ SW_n を経て、積分回路 31_n の入力端子へ移動する。

[0056] なお、スイッチ SW , SW_n , $SW_{1,n}$ それぞれの開閉動作を制御する為の制御信号は、タイミング制御部50から出力される。また、スイッチ SW_n は、第1端子と第2端子との間及び第1端子と第3端子との間の何れもが電氣的に接続されない状態もある。

[0057] 次に、第1実施例に係る光検出装置1のデータ出力部40の構成について図7及び図8を用いて説明する。

[0058] 図7は、第1実施例に係る光検出装置1のデータ出力部40の1構成例を示す図である。この図に示されるデータ出力部40は、A/D変換回路 41_1 , 41_2 及び選択出力部42を有する。A/D変換回路 41_1 は、第1画素データ読出部20から出力される第1電圧値 $V_{1,m,n}$ を入力してA/D変換し、この第1電圧値 $V_{1,m,n}$ に応じた第1デジタル値 $D_{1,m,n}$ を出力する。A/D変換回路 41_2 は、第2画素データ読出部30から出力される第2電圧値 $V_{2,m,n}$ を入力してA/D変換し、この第2電圧値 $V_{2,m,n}$ に応じた第2デジタル値 $D_{2,m,n}$ を出力する。

[0059] なお、各積分回路 31_n の容量素子Cの容量値が画素部 $P_{m,n}$ の寄生容量部の容量値の 2^K 倍であることに対応して、A/D変換回路 41_1 への入力電圧値が或る値Vであるときの第1デジタル値と、A/D変換回路 41_2 への入力電圧値が $V/2^K$ であるときの第2デジタル値とは、互いに等しい。

[0060] 選択出力部42は、これら第1デジタル値 $D_{1,m,n}$ 及び第2デジタル値 $D_{2,m,n}$ を入力し、

第1デジタル値 $D_{1,m,n}$ と基準値とを大小比較した結果に基づいて第1デジタル値 $D_{1,m}$ 及び第2デジタル値 $D_{2,m,n}$ のうち一方を選択し、その選択した値をデジタル値 $D_{m,n}$ として出力する。

[0061] 具体的には、基準値は、第1画素データ読出部20から出力される第1電圧値の飽和値に対応するデジタル値、又は、これより幾らか小さいデジタル値、に設定される。つまり、第1デジタル値 $D_{1,m,n}$ と基準値とを大小比較することで、画素部 $P_{m,n}$ の寄生容量部が飽和しているか否かが判定され得る。そして、選択出力部42は、第1デジタル値 $D_{1,m,n}$ が基準値より小さいときには、第1デジタル値 $D_{1,m,n}$ をデジタル値 $D_{m,n}$ として出力し、一方、第1デジタル値 $D_{1,m,n}$ が基準値以上であるときには、第2デジタル値 $D_{2,m,n}$ をデジタル値 $D_{m,n}$ として出力する。

[0062] なお、第1デジタル値 $D_{1,m,n}$ と基準値とを大小比較するのでは無く、第2デジタル値 $D_{2,m,n}$ と基準値とを大小比較してもよいし、また、第1電圧値 $V_{1,m,n}$ 又は第2電圧値 $V_{2,m,n}$ と基準値とを大小比較してもよい。これら何れの場合にも、基準値は、画素部 $P_{m,n}$ の寄生容量部が飽和しているか否かを判定し得る値に設定される。

[0063] このように、画素部 $P_{m,n}$ の寄生容量部が飽和していないとき、すなわち、画素部 $P_{m,n}$ への入射光の強度が比較的小さいときには、第1デジタル値 $D_{1,m,n}$ （すなわち、画素部 $P_{m,n}$ の選択用トランジスタ T_4 から出力されて第1画素データ20により読み出された第1電圧値 $V_{1,m,n}$ のA/D変換結果）がデータ出力部40からデジタル値 $D_{m,n}$ として出力されるので、高感度で光検出が可能である。一方、画素部 $P_{m,n}$ の寄生容量部が飽和しているとき（又は、飽和寸前の状態であるとき）、すなわち、画素部 $P_{m,n}$ への入射光の強度が比較的大きいときには、第2デジタル値 $D_{2,m,n}$ （すなわち、画素部 $P_{m,n}$ の放電用トランジスタ T_3 から出力されて第2画素データ30により読み出された第2電圧値 $V_{2,m,n}$ のA/D変換結果）がデータ出力部40からデジタル値 $D_{m,n}$ として出力されるので、広いダイナミックレンジで光検出が可能である。したがって、第1実施例に係る光検出装置1は、高感度かつ広いダイナミックレンジで撮像をすることができる。

[0064] 図8は、第1実施例に係る光検出装置1のデータ出力部40の他の構成例を示す図である。この図に示されるデータ出力部40は、選択出力部43及びA/D変換回路44を有する。選択出力部43は、第1画素データ読出部20から出力される第1電圧値

$V_{1,m,n}$ と第2画素データ読出部30から出力される第2電圧値 $V_{2,m,n}$ とを入力し、第1電圧値 $V_{1,m,n}$ と基準値とを大小比較した結果に基づいて、第1電圧値 $V_{1,m,n}$ 及び第2電圧値 $V_{2,m,n}$ のうち一方を選択して出力する。

[0065] 具体的には、基準値は、第1画素データ読出部20から出力される第1電圧値の飽和値、又は、これより幾らか小さい値、に設定される。つまり、第1電圧値 $V_{1,m,n}$ と基準値とを大小比較することで、画素部 $P_{m,n}$ の寄生容量部が飽和しているか否かが判定され得る。そして、選択出力部43は、第1電圧値 $V_{1,m,n}$ が基準値より小さいときには第1電圧値 $V_{1,m,n}$ を出力し、一方、第1電圧値 $V_{1,m,n}$ が基準値以上であるときには第2電圧値 $V_{2,m,n}$ を出力する。

[0066] なお、第1電圧値 $V_{1,m,n}$ と基準値とを大小比較するのではなく、第2電圧値 $V_{2,m,n}$ と基準値とを大小比較してもよい。この場合にも、基準値は、画素部 $P_{m,n}$ の寄生容量部が飽和しているか否かを判定し得る値に設定される。

[0067] A/D変換回路44は、選択出力部43から出力される電圧値を入力してA/D変換し、この電圧値に応じたデジタル値 $D_{m,n}$ を出力する。なお、各積分回路31_nの容量素子Cの容量値が画素部 $P_{m,n}$ の寄生容量部の容量値の 2^K 倍であることに対応して、A/D変換回路44は、第1画素データ読出部20から出力される第1電圧値 $V_{1,m,n}$ をA/D変換する場合には、そのA/D変換により得られたデジタル値をデジタル値 $D_{m,n}$ として出力し、その一方、第2画素データ読出部30から出力される第2電圧値 $V_{2,m,n}$ をA/D変換する場合には、そのA/D変換により得られたデジタル値をKビットだけ上位にシフトしたものをデジタル値 $D_{m,n}$ として出力する。

[0068] このように、画素部 $P_{m,n}$ の寄生容量部が飽和していないとき、すなわち、画素部 $P_{m,n}$ への入射光の強度が比較的小さいときには、画素部 $P_{m,n}$ の選択用トランジスタ T_4 から出力されて第1画素データ20により読み出された第1電圧値 $V_{1,m,n}$ のA/D変換結果がデータ出力部40からデジタル値 $D_{m,n}$ として出力されるので、高感度で光検出が可能である。一方、画素部 $P_{m,n}$ の寄生容量部が飽和しているとき(又は、飽和寸前の状態であるとき)、すなわち、画素部 $P_{m,n}$ への入射光の強度が比較的大きいときには、画素部 $P_{m,n}$ の放電用トランジスタ T_3 から出力されて第2画素データ30により読み出された第2電圧値 $V_{2,m,n}$ のA/D変換結果がデータ出力部40からデジタル値 $D_{m,n}$ とし

て出力されるので、広いダイナミックレンジで光検出が可能である。したがって、第1実施例に係る光検出装置1は、高感度かつ広いダイナミックレンジで撮像をすることができる。

[0069] 次に、第1実施例に係る光検出装置1の画素部 $P_{m,n}$ の構成について図9及び図10を用いて説明する。

[0070] 図9は、第1実施例に係る光検出装置1の画素部 $P_{m,n}$ の構成図である。この図において、フォトダイオードPD及び転送用トランジスタ T_2 については半導体の断面図として示され、残部は回路図として示されている。この図に示されるように、フォトダイオードPDは、埋込型のものであって、p領域101と、このp領域101の上の n^- 領域102と、この n^- 領域102の上の p^+ 領域103と、を含んで構成される。p領域101と n^- 領域102とはpn接合を形成しており、 n^- 領域102と p^+ 領域103ともpn接合を形成している。また、 n^- 領域102の一部は半導体表面に達している。

[0071] 転送用トランジスタ T_2 は、p領域101の上のn領域104と、 n^- 領域102のうち半導体表面に達している部分と、これらの間の領域であって絶縁層105上に形成されたゲート電極106と、を含んで構成される。n領域104は、増幅用トランジスタT1のゲート端子と電氣的に接続され、放電用トランジスタT3のソース端子と電氣的に接続されている。p領域101とn領域104とは、pn接合を形成しており、画素部 $P_{m,n}$ 内においてフォトダイオードPDで発生した電荷を蓄積する寄生容量部を構成している。

[0072] このようにフォトダイオードPDが埋込型のものである場合には、リーク電流の発生が抑制される。また、フォトダイオードPDで発生した電荷を寄生容量部へ転送する期間に、フォトダイオードPDの逆バイアス電圧を大きくすることで、フォトダイオードPDのpn接合部において n^- 領域102を完全に空乏化して、フォトダイオードPDの接合容量値を殆ど零にすることができるので、フォトダイオードPDで発生した電荷を殆ど完全に寄生容量部へ転送することができる。したがって、フォトダイオードPDが埋込型のものである場合には、光検出のS/N比向上及び高感度化に有効である。

[0073] 図10は、第1実施例に係る光検出装置1の画素部 $P_{m,n}$ の他の構成を示す回路図である。この図に示される画素部 $P_{m,n}$ は、図4及び図6で示された構成に加えて遮断用トランジスタ T_5 を更に備えている。遮断用トランジスタ T_5 は、フォトダイオードPDと転

送用トランジスタ T_2 との間に設けられていて、飽和領域で動作し得るような電圧値がゲート端子に印加される。これにより、この画素部 $P_{m,n}$ では、フォトダイオードPDの接合容量が増幅用トランジスタ T_1 のゲート端子の電位に与える影響が抑制される。したがって、この場合にも、光検出のS/N比向上及び高感度化に有効である。

[0074] 次に、第1実施例に係る光検出装置1の動作例について説明する。図11は、第1実施例に係る光検出装置1の動作例を説明するタイミングチャートである。この図は、第1行の各画素部 $P_{1,n}$ 及び第2行の各画素部 $P_{2,n}$ それぞれのデータを読み出す時間範囲を示している。

[0075] この図には、上から順に、各画素部 $P_{m,n}$ の放電用トランジスタ T_3 のゲート端子に入力する第 m 行放電制御信号 $S_{reset,m}$ 、各画素部 $P_{m,n}$ の転送用トランジスタ T_2 のゲート端子に入力する転送制御信号 S_{trans} 、第1行の画素部 $P_{1,n}$ の選択用トランジスタ T_4 のゲート端子に入力する第1行選択制御信号 $S_{select,1}$ 、及び、第2行の画素部 $P_{2,n}$ の選択用トランジスタ T_4 のゲート端子に入力する第2行選択制御信号 $S_{select,2}$ 、それぞれが示されている。

[0076] 続いて、各電圧保持部 H_n の第1保持部 $H_{n,1}$ のトランジスタ T_{11} のゲート端子に入力する第1入力制御信号 $S_{input,1}$ 、各電圧保持部 H_n の第2保持部 $H_{n,2}$ のトランジスタ T_{21} のゲート端子に入力する第2入力制御信号 $S_{input,2}$ 、第1列の電圧保持部 H_1 のトランジスタ T_{12} 及び T_{22} それぞれのゲート端子に入力する第1列出力制御信号 $S_{output,1}$ 、第 N 列の電圧保持部 H_N のトランジスタ T_{12} 及び T_{22} それぞれのゲート端子に入力する第 N 列出力制御信号 $S_{output,N}$ 、及び、第1画素データ読出部20から出力される第1電圧値 $V_{1,m,n}$ 、それぞれが示されている。

[0077] 更に続いて、各スイッチ SW_n のバイアス電位 V_{bias} 供給動作、各スイッチ SW_n の電荷転送動作、各積分回路31のスイッチ SW の開閉、第1列のスイッチ $SW_{1,1}$ の開閉、第 N 列のスイッチ $SW_{1,N}$ の開閉、第2画素データ読出部30から出力される第2電圧値 $V_{2,m,n}$ 、及び、データ出力部40から出力されるデジタル値 $D_{m,n}$ 、それぞれが示されている。

[0078] 時刻 t_{10} 前において、各画素部 $P_{m,n}$ に入力している放電制御信号 $S_{reset,m}$ 、転送制御信号 S_{trans} 及び第 n 行選択制御信号 $S_{select,n}$ それぞれはローレベルである。また、第1画

素データ読出部20の各電圧保持部 H_n に入力している第1入力制御信号 $S_{input,1}$, 第2入力制御信号 $S_{input,2}$ 及び第 n 列出力制御信号 $S_{output,n}$ それぞれもローレベルである。

[0079] 時刻 t_{10} から時刻 t_{20} までの間に第1行の各画素部 $P_{1,n}$ のデータの読み出しが行なわれる。画素部 $P_{1,n}$ において、放電制御信号 $S_{reset,m}$ は、時刻 t_{10} にハイレベルに転じて、時刻 t_{10} より後の時刻 t_{11} にローレベルに転じる。転送制御信号 S_{trans} は、時刻 t_{11} より後の時刻 t_{12} にハイレベルに転じて、時刻 t_{12} より後の時刻 t_{13} にローレベルに転じる。第1行選択制御信号 $S_{select,1}$ は、時刻 t_{10} にハイレベルに転じる。スイッチ SW_n は、時刻 t_{10} から時刻 t_{11} までの間にバイアス電位 V_{bias} を各画素部 $P_{m,n}$ に供給する。

[0080] 第1画素データ読出部20の各電圧保持部 H_n において、第1入力制御信号 $S_{input,1}$ は、放電制御信号 $S_{reset,m}$ がローレベルに転じる時刻 t_{11} から、転送制御信号 S_{trans} がハイレベルに転じる時刻 t_{12} までの、間にある一定期間だけハイレベルとなる。これにより、この間に画素部 $P_{1,n}$ から配線 $L_{1,n}$ に出力される電圧値(暗信号成分)は、電圧保持部 H_n の第1保持部 $H_{n,1}$ により保持される。

[0081] また、第1画素データ読出部20の各電圧保持部 H_n において、第2入力制御信号 $S_{input,2}$ は、転送制御信号 S_{trans} がハイレベルである時刻 t_{12} から時刻 t_{13} までの間の一定期間だけハイレベルとなる。これにより、この間に画素部 $P_{1,n}$ から配線 $L_{1,n}$ に出力される電圧値(明信号成分)は、電圧保持部 H_n の第2保持部 $H_{n,2}$ により保持される。

[0082] そして、時刻 t_{13} より後の時刻 t_{14} から時刻 t_{15} までの間に、出力制御信号 $S_{output,1}$ 〜 $S_{output,N}$ それぞれは、順次に一定期間だけハイレベルとなる。第 n 列出力制御信号 $S_{output,n}$ がハイレベルである期間には、電圧保持部 H_n に保持されていた第1行第 n 列の画素部 $P_{1,n}$ の暗信号成分及び明信号成分が電圧保持部 H_n から出力され、これら暗信号成分と明信号成分との差が減算回路 S により求められて、画素部 $P_{1,n}$ に入射した光の強度に応じた第1電圧値 $V_{1,1,n}$ が第1画素データ読出部20から出力される。このようにして、時刻 t_{14} から時刻 t_{15} までの間に、第1行の N 個の画素部 $P_{1,1}$ 〜 $P_{1,N}$ それぞれに入射した光の強度に応じた第1電圧値 $V_{1,1,1}$ 〜 $V_{1,1,N}$ が第1画素データ読出部20から順次に出力される。なお、この期間に出力される各電圧値 $V_{1,1,n}$ のレベルは、画素部 $P_{1,n}$ に入射した光の強度に応じたレベルであり、一般には n 値により異なる。その後、時刻 t_{15} に第1行選択制御信号 $S_{select,1}$ はローレベルに転じる。以上により、第1行

の各画素部 $P_{1,n}$ のデータの読み出しが終了する。

- [0083] 続いて、時刻 t_{20} から時刻 t_{30} までの間に第2行の各画素部 $P_{2,n}$ のデータの読み出しが行なわれる。画素部 $P_{2,n}$ において、放電制御信号 $S_{reset,m}$ は、時刻 t_{20} にハイレベルに転じて、時刻 t_{20} より後の時刻 t_{21} にローレベルに転じる。転送制御信号 S_{trans} は、時刻 t_{21} より後の時刻 t_{22} にハイレベルに転じて、時刻 t_{22} より後の時刻 t_{23} にローレベルに転じる。第2行選択制御信号 $S_{select,2}$ は、時刻 t_{20} にハイレベルに転じる。スイッチ SW_n は、時刻 t_{20} から時刻 t_{21} までの間にバイアス電位 V_{bias} を各画素部 $P_{m,n}$ に供給する。
- [0084] 第1画素データ読出部20の各電圧保持部 H_n において、第1入力制御信号 $S_{input,1}$ は、放電制御信号 $S_{reset,m}$ がローレベルに転じる時刻 t_{21} から、転送制御信号 S_{trans} がハイレベルに転じる時刻 t_{22} までの、間にある一定期間だけハイレベルとなる。これにより、この間に画素部 $P_{2,n}$ から配線 $L_{1,n}$ に出力される電圧値(暗信号成分)は、電圧保持部 H_n の第1保持部 $H_{n,1}$ により保持される。
- [0085] また、第1画素データ読出部20の各電圧保持部 H_n において、第2入力制御信号 $S_{input,2}$ は、転送制御信号 S_{trans} がハイレベルである時刻 t_{22} から時刻 t_{23} までの間の一定期間だけハイレベルとなる。これにより、この間に画素部 $P_{2,n}$ から配線 $L_{1,n}$ に出力される電圧値(明信号成分)は、電圧保持部 H_n の第2保持部 $H_{n,2}$ により保持される。
- [0086] そして、時刻 t_{23} より後の時刻 t_{24} から時刻 t_{25} までの間に、出力制御信号 $S_{output,1}$ 〜 $S_{output,N}$ それぞれは、順次に一定期間だけハイレベルとなる。第 n 列出力制御信号 $S_{output,n}$ がハイレベルである期間には、電圧保持部 H_n に保持されていた第2行第 n 列の画素部 $P_{2,n}$ の暗信号成分及び明信号成分が電圧保持部 H_n から出力され、これら暗信号成分と明信号成分との差が減算回路 S により求められて、画素部 $P_{2,n}$ に入射した光の強度に応じた第1電圧値 $V_{1,2,n}$ が第1画素データ読出部20から出力される。このようにして、時刻 t_{24} から時刻 t_{25} までの間に、第2行の N 個の画素部 $P_{2,1}$ 〜 $P_{2,N}$ それぞれに入射した光の強度に応じた第1電圧値 $V_{1,2,1}$ 〜 $V_{1,2,N}$ が第1画素データ読出部20から順次に出力される。なお、この期間に出力される各電圧値 $V_{1,2,n}$ のレベルは、画素部 $P_{2,n}$ に入射した光の強度に応じたレベルであり、一般には n 値により異なる。その後、時刻 t_{25} に第2行選択制御信号 $S_{select,2}$ はローレベルに転じる。以上により、第2行の各画素部 $P_{2,n}$ のデータの読み出しが終了する。

- [0087] 以降も同様にして第1画素データ読出部20により順次に各行の画素部 $P_{m,n}$ のデータが読み出されていく。このようにして、第1画素データ読出部20により、第1行〜第M行それぞれについて順次に、各行のN個の画素部 $P_{m,1}$ 〜 $P_{m,N}$ それぞれに入射した光の強度に応じた第1電圧値 $V_{1,m,1}$ 〜 $V_{1,m,N}$ が順次に出力される。また、この第1画素データ読出部20による第1電圧値 $V_{1,m,n}$ の読み出しと並列的に、第2画素データ読出部30による第2電圧値 $V_{2,m,n}$ の読み出しが以下のように行なわれる。
- [0088] 第2画素データ読出部30は以下のように動作する。時刻 t_{10} から時刻 t_{11} までの期間に、各積分回路31_nのスイッチSWは閉じて、各積分回路31_nの容量素子Cは放電される。転送制御信号 S_{trans} がハイレベルである時刻 t_{12} から時刻 t_{13} までの期間のうち、第2入力制御信号 $S_{input,2}$ が一旦ハイレベルになってローレベルに転じた後の期間に、放電制御信号 $S_{reset,m}$ が一旦ハイレベルになってローレベルになり、同時に各スイッチSW_nが閉じて、第1行の画素部 $P_{1,n}$ の容量部に蓄積されていた電荷を、積分回路31_nの容量素子Cへ移動させる。時刻 t_{14} から時刻 t_{15} までの間に、各スイッチSW_{1,n}それぞれは順次に一定期間だけ閉じる。スイッチSW_{1,n}が閉じている期間に、積分回路31_nの容量素子Cに蓄積されていた電荷の量に応じた第2電圧値 $V_{2,1,n}$ が第2画素データ読出部30から出力される。このようにして、時刻 t_{14} から時刻 t_{15} までの間に、第1行のN個の画素部 $P_{1,1}$ 〜 $P_{1,N}$ それぞれに入射した光の強度に応じた第2電圧値 $V_{2,1,1}$ 〜 $V_{2,1,N}$ が第2画素データ読出部30から順次に出力される。以上により、第1行の各画素部 $P_{1,n}$ のデータの読み出しが終了する。
- [0089] 続いて、時刻 t_{20} から時刻 t_{21} までの期間に、各積分回路31_nのスイッチSWは閉じて、各積分回路31_nの容量素子Cは放電される。転送制御信号 S_{trans} がハイレベルである時刻 t_{22} から時刻 t_{23} までの期間のうち、第2入力制御信号 $S_{input,2}$ が一旦ハイレベルになってローレベルに転じた後の期間に、放電制御信号 $S_{reset,m}$ が一旦ハイレベルになってローレベルになり、同時に各スイッチSW_nが閉じて、第2行の画素部 $P_{2,n}$ の容量部に蓄積されていた電荷を、積分回路31_nの容量素子Cへ移動させる。時刻 t_{24} から時刻 t_{25} までの間に、各スイッチSW_{1,n}それぞれは順次に一定期間だけ閉じる。スイッチSW_{1,n}が閉じている期間に、積分回路31_nの容量素子Cに蓄積されていた電荷の量に応じた第2電圧値 $V_{2,2,n}$ が第2画素データ読出部30から出力される。このようにし

て、時刻 t_{24} から時刻 t_{25} までの間に、第2行のN個の画素部 $P_{2,1}$ ～ $P_{2,N}$ それぞれに入射した光の強度に応じた第2電圧値 $V_{2,2,1}$ ～ $V_{2,2,N}$ が第2画素データ読出部30から順次に出力される。以上により、第2行の各画素部 $P_{2,n}$ のデータの読み出しが終了する。

[0090] 以降も同様にして第2画素データ読出部30により順次に各行の画素部 $P_{m,n}$ のデータが読み出されていく。このようにして、第2画素データ読出部30により、第1行～第M行それぞれについて順次に、各行のN個の画素部 $P_{m,1}$ ～ $P_{m,N}$ それぞれに入射した光の強度に応じた第2電圧値 $V_{2,m,1}$ ～ $V_{2,m,N}$ が順次に出力される。

[0091] そして、データ出力部40は以下のように動作する。時刻 t_{14} から時刻 t_{15} までの期間に、第1画素データ読出部20により読み出された第1行の画素部 $P_{1,n}$ についての第1電圧値 $V_{1,1,n}$ がデータ出力部40に順次に入力するとともに、第2画素データ読出部30により読み出された第1行の画素部 $P_{1,n}$ についての第2電圧値 $V_{2,1,n}$ がデータ出力部40に順次に入力して、第1電圧値 $V_{1,1,n}$ 又は第2電圧値 $V_{2,1,n}$ がA/D変換された結果であるデジタル値 $D_{1,n}$ がデータ出力部40から順次に出力される。

[0092] 続いて、時刻 t_{24} から時刻 t_{25} までの期間に、第1画素データ読出部20により読み出された第2行の画素部 $P_{2,n}$ についての第1電圧値 $V_{1,2,n}$ がデータ出力部40に順次に入力するとともに、第2画素データ読出部30により読み出された第2行の画素部 $P_{2,n}$ についての第2電圧値 $V_{2,2,n}$ がデータ出力部40に順次に入力して、第1電圧値 $V_{1,2,n}$ 又は第2電圧値 $V_{2,2,n}$ がA/D変換された結果であるデジタル値 $D_{2,n}$ がデータ出力部40から順次に出力される。

[0093] 以降も同様にして、第1行～第M行それぞれについて順次に、各行のN個の画素部 $P_{m,1}$ ～ $P_{m,N}$ それぞれに入射した光の強度に応じたデジタル値 $D_{m,1}$ ～ $D_{m,N}$ がデータ出力部40から順次に出力される。ここで、画素部 $P_{m,n}$ の寄生容量部が飽和していないとき、すなわち、画素部 $P_{m,n}$ への入射光の強度が比較的小さいときには、第1電圧値 $V_{1,m,n}$ がA/D変換された結果がデジタル値 $D_{m,n}$ として出力される。一方、画素部 $P_{m,n}$ の寄生容量部が飽和しているとき、すなわち、画素部 $P_{m,n}$ への入射光の強度が比較的大きいときには、第2電圧値 $V_{2,m,n}$ がA/D変換された結果がデジタル値 $D_{m,n}$ として出力される。したがって、第1実施例に係る光検出装置1は、高感度かつ広いダイ

ナミックレンジで入射光強度を検出することができる。

[0094] なお、上記の動作例では、第1画素データ読出部20が第 m 行の画素部 $P_{m,n}$ からの出力電圧値を処理する期間に、第2画素データ読出部30が第 m 行の画素部 $P_{m,n}$ からの出力電荷を処理するものであった。しかし、第1画素データ読出部20が或る行の画素部 $P_{m,n}$ からの出力電圧値を処理する期間に、第2画素データ読出部30が他の行の画素部 $P_{m,n}$ からの出力電荷を処理するようにしてもよい。例えば、第1画素データ読出部20が第 $(m+1)$ 行の画素部 $P_{m,n}$ からの出力電圧値を処理する期間に、第2画素データ読出部30が第 m 行の画素部 $P_{m,n}$ からの出力電荷を処理するようにしてもよい。何れの場合にも、第1画素データ読出部及び第2画素データ読出部が並列的に動作する場合には、フレームレートを低下させることなく撮像をすることができる。ただし、後者の場合には、第 m 行の画素部 $P_{m,n}$ へ入力される第 m 行放電制御信号 S_{reset} は個々に設定され、また、先に第1画素データ読出部20から出力された第 m 行の画素部 $P_{m,n}$ についての第1電圧値 $V_{1,m,n}$ は、第 m 行の画素部 $P_{m,n}$ についての第2電圧値 $V_{2,m,n}$ が第2画素データ読出部30から出力されるまで記憶される。

[0095] (第2実施例)

次に、第2実施例に係る光検出装置2について説明する。図12は、第2実施例に係る光検出装置2の概略構成図である。既述した第1実施例に係る光検出装置1と比較すると、この第2実施例に係る光検出装置2は、第2画素データ読出部30に替えて第2画素データ読出部30Aを備える点、データ出力部40に替えてデータ出力部40Aを備える点、及び、タイミング制御部50に替えてタイミング制御部50Aを備える点、で相違する。

[0096] 第2実施例では、第2画素データ読出部30Aは、データ出力部40Aに対して、第2電圧値 $V_{2,m,n}$ を出力するだけでなく、第3電圧値 $V_{3,m,n}$ をも出力する。第2電圧値 $V_{2,m,n}$ は、既述したように、画素部 $P_{m,n}$ 内のフォトダイオードPDで発生した電荷の量に対して線形関係にある値である。一方、第3電圧値 $V_{3,m,n}$ は、後述するように、画素部 $P_{m,n}$ 内のフォトダイオードPDで発生して第2画素データ読出部30Aに流入した電荷の流入量の対数値に応じた値である。第2画素データ読出部30Aから出力される第2電圧値 $V_{2,m,n}$ 及び第3電圧値 $V_{3,m,n}$ は、互いに異なるタイミングで出力されて、共通の配

線を経てデータ出力部40Aへ入力してもよい。また、第2画素データ読出部30Aから出力される第2電圧値 $V_{2,m,n}$ 及び第3電圧値 $V_{3,m,n}$ は、互いに異なる配線を経てデータ出力部40Aへ入力してもよい。

[0097] 図13は、第2実施例に係る光検出装置2の第2画素データ読出部30Aの構成図である。図5に示された第1実施例における第2画素データ読出部30の構成と比較すると、この図13に示される第2実施例における第2画素データ読出部30Aは、積分回路31_nに対して並列的に設けられた対数圧縮回路32_nを更に含む点で相違する。

[0098] 図14は、第2実施例に係る光検出装置2の画素部 $P_{m,n}$ 、積分回路31_n、対数圧縮回路32_n及びスイッチ SW_n それぞれの回路図である。対数圧縮回路32_nは、積分回路31_nの容量素子Cに対して並列的に設けられている。対数圧縮回路32_nは、トランジスタ T_{32} 及びスイッチ SW_{32} を有している。トランジスタ T_{32} のソース端子は、スイッチ SW_{32} を介して増幅器Aの入力端子と接続されている。トランジスタ T_{32} のドレイン端子は、トランジスタ T_{32} のゲート端子と直接に接続され、また、増幅器Aの出力端子とも接続されている。この対数圧縮回路32_nは、スイッチ SW_n から流入した電荷を入力して、その入力した電荷の流入量の対数値に応じた第3電圧値 $V_{3,m,n}$ を出力することができる。

[0099] ここで、画素部 $P_{m,n}$ 内の転送用トランジスタ T_2 のゲート端子に印加される転送制御信号 S_{trans} がハイレベルであり、放電用トランジスタ T_3 のゲート端子に印加される第m行放電制御信号 $S_{reset,m}$ もハイレベルであるとする。また、スイッチ SW_n が配線 $L_{2,n}$ と増幅器Aの入力端子とを接続していて、積分回路31_n内のスイッチ SW_n が開いていて、対数圧縮回路32_n内のスイッチ SW_{32} が閉じているとする。このとき、画素部 $P_{m,n}$ 内のフォトダイオードPDへの光の入射に伴って対数圧縮回路32_nに流入する電荷の流入量(すなわち電流)を I_{sh} とすると、対数圧縮回路32_nから出力される第3電圧値 $V_{3,m,n}$ は、下記(1)式で表される。 k はボルツマン定数であり、 T は絶対温度であり、 q は電子の電荷であり、 I は定数である。

$$[0100] \quad V_{3,m,n} = (kT/q) \ln(I_{sh}/I) \\ \dots(1)$$

[0101] このように、本実施例では、第2画素データ読出部30Aは、画素部 $P_{m,n}$ 内のフォトダ

イオードPDで生じて積分回路31_n内の容量素子Cに蓄積された電荷の量に応じた第2電圧値 $V_{2,m,n}$ を積分回路31_nから出力するだけでなく、その電荷の量の対数値に応じた第3電圧値 $V_{3,m,n}$ を対数圧縮回路32_nから出力する。また、第2画素データ読出部30Aは、第2電圧値 $V_{2,m,n}$ 及び第3電圧値 $V_{3,m,n}$ を、データ出力部40Aへ至る共通の配線へ互いに異なるタイミングで出力する。

[0102] 次に、第2実施例に係る光検出装置2のデータ出力部40Aの構成について図15及び図16を用いて説明する。

[0103] 図15は、第2実施例に係る光検出装置2のデータ出力部40Aの1構成例を示す図である。この図に示されるデータ出力部40Aは、図7に示されたものと略同様の構成であって、A/D変換回路41₁、41₂及び選択出力部42を有する。ただし、第2実施例では、A/D変換回路41₂は、第2画素データ読出部30Aから出力される第2電圧値 $V_{2,m,n}$ を入力してA/D変換し、この第2電圧値 $V_{2,m,n}$ に応じた第2デジタル値 $D_{2,m,n}$ を出力するとともに、第2画素データ読出部30Aから出力される第3電圧値 $V_{3,m,n}$ を入力してA/D変換し、この第3電圧値 $V_{3,m,n}$ に応じた第3デジタル値 $D_{3,m,n}$ を出力する。

[0104] 選択出力部42は、これら第1デジタル値 $D_{1,m,n}$ 、第2デジタル値 $D_{2,m,n}$ 及び第3デジタル値 $D_{3,m,n}$ を入力し、第1デジタル値 $D_{1,m,n}$ と基準値とを大小比較した結果に基づいて、第1デジタル値 $D_{1,m,n}$ 、第2デジタル値 $D_{2,m,n}$ 及び第3デジタル値 $D_{3,m,n}$ のうちの何れか1つを選択し、その選択した値をデジタル値 $D_{m,n}$ として出力する。なお、第1デジタル値 $D_{1,m,n}$ と基準値とを大小比較するのではなく、第2デジタル値 $D_{2,m,n}$ 又は第3デジタル値 $D_{3,m,n}$ と基準値とを大小比較してもよいし、また、第1電圧値 $V_{1,m,n}$ 、第2電圧値 $V_{2,m,n}$ 及び第3電圧値 $V_{3,m,n}$ の何れかと基準値とを大小比較してもよい。基準値としては、画素部 $P_{m,n}$ の寄生容量部が飽和しているか否かを判定し得る第1基準値、及び、積分回路31_nの容量素子Cが飽和しているか否かを判定し得る第2基準値、の2つが用いられる。

[0105] そして、画素部 $P_{m,n}$ の寄生容量部が飽和していないとき、すなわち、画素部 $P_{m,n}$ への入射光の強度が比較的小さいときには、第1デジタル値 $D_{1,m,n}$ （すなわち、画素部 $P_{m,n}$ の選択用トランジスタ T_4 から出力されて第1画素データ20により読み出された第1

電圧値 $V_{1,m,n}$ のA/D変換結果)がデータ出力部40Aからデジタル値 $D_{m,n}$ として出力されるので、高感度で光検出が可能である。

[0106] また、画素部 $P_{m,n}$ の寄生容量部が飽和しているとき(又は、飽和寸前の状態であるとき)であって、積分回路31_nの容量素子Cが飽和していないときには、第2デジタル値 $D_{2,m,n}$ (すなわち、画素部 $P_{m,n}$ の放電用トランジスタ T_3 から出力されて第2画素データ30Aの積分回路31_nにより読み出された第2電圧値 $V_{2,m,n}$ のA/D変換結果)がデータ出力部40Aからデジタル値 $D_{m,n}$ として出力されるので、広いダイナミックレンジで光検出が可能である。

[0107] さらに、積分回路31_nの容量素子Cも飽和しているとき(又は、飽和寸前の状態であるとき)、すなわち、画素部 $P_{m,n}$ への入射光の強度が比較的大きいときには、第3デジタル値 $D_{3,m,n}$ (すなわち、画素部 $P_{m,n}$ の放電用トランジスタ T_3 から出力されて第2画素データ30Aの対数圧縮回路32_nにより読み出された第3電圧値 $V_{3,m,n}$ のA/D変換結果)がデータ出力部40Aからデジタル値 $D_{m,n}$ として出力されるので、更に広いダイナミックレンジで光検出が可能である。したがって、第2実施例に係る光検出装置2は、高感度かつ更に広いダイナミックレンジで撮像をすることができる。

[0108] 図16は、第2実施例に係る光検出装置2のデータ出力部40Aの他の構成例を示す図である。この図に示されるデータ出力部40Aは、図8に示されたものと略同様の構成であって、選択出力部43及びA/D変換回路44を有する。ただし、第2実施例では、選択出力部43は、第1画素データ読出部20から出力される第1電圧値 $V_{1,m,n}$ を入力するとともに、第2画素データ読出部30Aから出力される第2電圧値 $V_{2,m,n}$ 及び第3電圧値 $V_{3,m,n}$ を入力して、第1電圧値 $V_{1,m,n}$ と基準値とを大小比較した結果に基づいて、第1電圧値 $V_{1,m,n}$ 、第2電圧値 $V_{2,m,n}$ 及び第3電圧値 $V_{3,m,n}$ のうちの何れか1つを選択して出力する。なお、第1電圧値 $V_{1,m,n}$ と基準値とを大小比較するのでは無く、第2電圧値 $V_{2,m,n}$ 又は第3電圧値 $V_{3,m,n}$ と基準値とを大小比較してもよい。基準値としては、画素部 $P_{m,n}$ の寄生容量部が飽和しているか否かを判定し得る第1基準値、及び、積分回路31_nの容量素子Cが飽和しているか否かを判定し得る第2基準値、の2つが用いられる。

[0109] そして、画素部 $P_{m,n}$ の寄生容量部が飽和していないとき、すなわち、画素部 $P_{m,n}$ へ

の入射光の強度が比較的小さいときには、画素部 $P_{m,n}$ の選択用トランジスタ T_4 から出力されて第1画素データ20により読み出された第1電圧値 $V_{1,m,n}$ のA/D変換結果がデータ出力部40Aからデジタル値 $D_{m,n}$ として出力されるので、高感度で光検出が可能である。

[0110] また、画素部 $P_{m,n}$ の寄生容量部が飽和しているとき(又は、飽和寸前の状態であるとき)であって、積分回路 31_n の容量素子Cが飽和していないときには、画素部 $P_{m,n}$ の放電用トランジスタ T_3 から出力されて第2画素データ30Aの積分回路 31_n により読み出された第2電圧値 $V_{2,m,n}$ のA/D変換結果がデータ出力部40Aからデジタル値 $D_{m,n}$ として出力されるので、広いダイナミックレンジで光検出が可能である。

[0111] さらに、積分回路 31_n の容量素子Cも飽和しているとき(又は、飽和寸前の状態であるとき)、すなわち、画素部 $P_{m,n}$ への入射光の強度が比較的大きいときには、画素部 $P_{m,n}$ の放電用トランジスタ T_3 から出力されて第2画素データ30Aの対数圧縮回路 32_n により読み出された第3電圧値 $V_{3,m,n}$ のA/D変換結果がデータ出力部40Aからデジタル値 $D_{m,n}$ として出力されるので、更に広いダイナミックレンジで光検出が可能である。したがって、第2実施例に係る光検出装置2は、高感度かつ更なる広いダイナミックレンジで撮像をすることができる。

[0112] 次に、第2実施例に係る光検出装置2の動作例について説明する。図17は、第2実施例に係る光検出装置2の動作例を説明するタイミングチャートである。この図は、第1行の各画素部 $P_{1,n}$ のデータを読み出す時間範囲を示している。図11に示された第1実施例の場合のタイミングチャートと比較すると、この図17に示される第2実施例の場合のタイミングチャートでは、各積分回路 31_n のスイッチ SW_n の開閉に続いて、各対数圧縮回路 32_n のスイッチ SW_{32} の開閉、第1列のスイッチ $SW_{1,1}$ の開閉、第N列のスイッチ $SW_{1,N}$ の開閉、第2画素データ読出部30Aから出力される第2電圧値 $V_{2,m,n}$ 、第2画素データ読出部30Aから出力される第3電圧値 $V_{3,m,n}$ 、及び、データ出力部40Aから出力されるデジタル値 $D_{m,n}$ 、それぞれが順に示されている。なお、第2電圧値 $V_{2,m,n}$ と第3電圧値 $V_{3,m,n}$ とは、このタイミングチャートでは互いに別個に示されているが、スイッチ $W_{1,n}$ に接続される共通の配線へ、互いに異なるタイミングで出力される。

[0113] 時刻 t_{10} 前から時刻 t_{15} までの第2実施例に係る光検出装置2の動作は、第1実施例

の場合と同様である。なお、この期間には、各対数圧縮回路32_nのスイッチSW₃₂は開いている。

[0114] 時刻 t_{15} より後の時刻 t_{16} から、その後の時刻 t_{17} までの間に、各積分回路31_nのスイッチSWは一定期間だけ閉じて、各積分回路31の容量素子Cは放電される。時刻 t_{16} から、時刻 t_{17} より後の時刻 t_{18} までの間、各対数圧縮回路32_nのスイッチSW₃₂は閉じて、放電制御信号 $S_{reset,m}$ 及び転送制御信号 S_{trans} がハイレベルになり、同時に各スイッチSW_nが閉じて、第1行の画素部P_{1,n}のフォトダイオードPDで発生した電荷を各対数圧縮回路32_nへ流入させる。また、時刻 t_{17} から時刻 t_{18} までの間に、各スイッチSW_{1,n}それぞれは順次に一定期間だけ閉じる。スイッチSW_{1,n}が閉じている期間に、対数圧縮回路32_nに流入した電荷の量の対数値に応じた第3電圧値 $V_{3,1,n}$ が第2画素データ読出部30Aから出力される。このようにして、時刻 t_{17} から時刻 t_{18} までの間に、第1行のN個の画素部P_{1,1}}〜P_{1,N}それぞれに入射した光の強度の対数値に応じた第3電圧値 $V_{3,1,1}$ 〜 $V_{3,1,N}$ が第2画素データ読出部30Aから順次に出力される。

[0115] そして、データ出力部40Aでは、時刻 t_{14} から時刻 t_{15} までの間に第1画素データ読出部20から出力された第1電圧値 $V_{1,1,1}$ 〜 $V_{1,1,N}$ 、時刻 t_{14} から時刻 t_{15} までの間に第2画素データ読出部30Aから出力された第2電圧値 $V_{2,1,1}$ 〜 $V_{2,1,N}$ 、及び、時刻 t_{17} から時刻 t_{18} までの間に第2画素データ読出部30Aから出力された第3電圧値 $V_{3,1,1}$ 〜 $V_{3,1,N}$ に基づいて、第1電圧値 $V_{1,1,n}$ 、第2電圧値 $V_{2,1,n}$ 及び第3電圧値 $V_{3,1,n}$ の何れか1つがA/D変換された結果であるデジタル値 $D_{1,n}$ がデータ出力部40Aから順次に出力される。なお、第3電圧値 $V_{3,1,n}$ が出力されるタイミングは、第1電圧値 $V_{1,1,n}$ 及び第2電圧値 $V_{2,1,n}$ が出力されるタイミングより遅れるので、先に出力された第1電圧値 $V_{1,1,n}$ 及び第2電圧値 $V_{2,1,n}$ （又は、これらのA/D変換結果）を保持するデータ保持部が設けられる。

[0116] 以降も同様にして、第1行〜第M行それぞれについて順次に、各行のN個の画素部P_{m,1}〜P_{m,N}それぞれに入射した光の強度に応じたデジタル値 $D_{m,1}$ 〜 $D_{m,N}$ がデータ出力部40Aから順次に出力される。ここで、画素部P_{m,n}の寄生容量部が飽和していないとき、すなわち、画素部P_{m,n}への入射光の強度が比較的小さいときには、第1電圧値 $V_{1,m,n}$ がA/D変換された結果がデジタル値 $D_{m,n}$ として出力される。また、画素

部 $P_{m,n}$ の寄生容量部が飽和しているときであって、積分回路 31_n の容量素子が飽和していないときには、第2電圧値 $V_{2,m,n}$ がA/D変換された結果がデジタル値 $D_{m,n}$ として出力される。さらに、積分回路 31_n の容量素子が飽和しているとき、すなわち、画素部 $P_{m,n}$ への入射光の強度が比較的大きいときには、第3電圧値 $V_{3,m,n}$ がA/D変換された結果がデジタル値 $D_{m,n}$ として出力される。したがって、第2実施例に係る光検出装置2は、高感度かつ更なる広いダイナミックレンジで入射光強度を検出することができる。

請求の範囲

- [1] 入射光強度に応じた量の電荷を発生するフォトダイオードと、ゲート端子に形成された寄生容量部に蓄積されている電荷の量に応じた電圧値を出力する増幅用トランジスタと、前記フォトダイオードで発生した電荷を前記増幅用トランジスタのゲート端子へ転送する転送用トランジスタと、前記寄生容量部の電荷を初期化する放電用トランジスタと、前記増幅用トランジスタから出力される電圧値を選択的に出力する選択用トランジスタとを含む画素部と、

前記画素部の前記選択用トランジスタから出力される電圧値を読み出して、この電圧値に応じた第1電圧値を出力する第1画素データ読出部と、

前記画素部の前記放電用トランジスタに接続された第1端子と、前記画素部の前記増幅用トランジスタのゲート端子の電荷を初期化する為のバイアス電位を入力する第2端子と、第3端子とを有し、前記第1端子と前記第2端子との間又は前記第1端子と前記第3端子との間を電氣的に接続する接続切替部と、そして、

前記接続切替部の前記第3端子に入力端子が接続され、前記寄生容量部の容量値より大きい容量値を有する容量素子を含み、前記接続切替部の前記第3端子から前記入力端子に流入した電荷を前記容量素子に蓄積して、その蓄積した電荷の量に応じた第2電圧値を出力する第2画素データ読出部とを備えた光検出装置。

- [2] 入射光強度に応じた量の電荷を発生するフォトダイオード、転送制御信号を入力するためのゲート端子と、前記フォトダイオードに接続された第1端子と、第2端子を有する転送用トランジスタ、放電制御信号を入力するためのゲート端子と、前記転送用トランジスタの第2端子に接続された第1端子と、第2端子を有する放電用トランジスタ、前記転送用トランジスタの第2端子及び前記放電用トランジスタの第1端子にそれぞれ接続されたゲート端子と、所定電位に設定された第1端子と、第2端子を有する増幅用トランジスタ、及び、選択制御信号を入力するためのゲート端子と、前記増幅用トランジスタの第2端子に接続された第1端子と、第2端子を有する選択用トランジスタを含む画素部と、

前記画素部における前記選択用トランジスタの第2端子に接続された入力端子を有する第1画素データ読出部と、

前記画素部における前記放電用トランジスタの第2端子に接続された第1端子と、所定のバイアス電位に設定された第2端と、第3端とを有し、前記第1端子と前記第2端子との間及び前記第1端子と前記第3端子との間のいずれかを電氣的に接続するための接続切替部と、そして、

前記接続切替部における第3端子に接続された入力端子と、該入力端子を介して流入した電荷が蓄積される容量素子を含む第2画素データ読出部とを備えた光検出装置。

[3] 請求項1記載の光検出装置において、

前記第2画素データ読出部に含まれる前記容量素子の容量値は、前記寄生容量部の容量値の 2^K 倍(ただし、Kは1以上の整数)である。

[4] 請求項1又は2記載の光検出装置において、

前記画素部に含まれる前記フォトダイオードは、第1導電型の第1半導体領域と、前記第1半導体領域の上に設けられ、該第1半導体領域との間でpn接合を形成する第2導電型の第2半導体領域と、そして、前記第2半導体領域の上に設けられ、該第2半導体領域との間でpn接合が形成される第1導電型の第3半導体領域を備える。

[5] 請求項1又は2記載の光検出装置において、

前記画素部は、前記フォトダイオードと前記転送用トランジスタとの間に配置され、所定電位に設定されたゲート端子と、前記フォトダイオードに接続された第1端子と、前記転送用トランジスタの第1端子に接続された第2端子を有する遮断用トランジスタをさらに含む。

[6] 請求項1又は2記載の光検出装置は、さらに、

それぞれが前記画素部と同じ構造を有するとともに、該画素部とともに2次元配列を構成する複数の画素部を備える。

[7] 請求項6記載の光検出装置において、

前記第2画素データ読出部は、前記容量素子として、前記2次元配列された画素部の各列に対応して設けられた複数の容量素子を有する。

[8] 請求項6記載の光検出装置において、

前記2次元配列された画素部のうち或る行に属する画素部グループからの出力電

圧値を前記第1画素データ読出部が処理する期間に、前記第2画素データ読出部は、該行に属する画素部グループからの出力電荷を処理する。

[9] 請求項6記載の光検出装置において、

前記2次元配列された画素部のうち或る行に属する画素部グループからの出力電圧値を前記第1画素データ読出部が処理する期間に、前記第2画素データ読出部が他の行に属する画素部グループからの出力電荷を処理する。

[10] 請求項1又は2記載の光検出装置は、さらに、

前記第1画素データ読出部から出力される第1電圧値をA/D変換することで該第1電圧値に応じた第1デジタル値を出力するとともに、前記第2画素データ読出部から出力される第2電圧値をA/D変換することで該第2電圧値に応じた第2デジタル値を出力するA/D変換部を備える。

[11] 請求項10記載の光検出装置は、さらに、

前記A/D変換部から出力される第1デジタル値及び第2デジタル値を入力し、前記第1電圧値、前記第2電圧値、前記第1デジタル値及び前記第2デジタル値のうちいずれかと基準値とを大小比較した結果に基づいて、前記第1デジタル値及び前記第2デジタル値のうち一方を出力する選択出力部を備える。

[12] 請求項1又は2記載の光検出装置は、さらに、

前記第1画素データ読出部から出力される第1電圧値と前記第2画素データ読出部から出力される第2電圧値とを入力し、前記第1電圧値及び前記第2電圧値のうちいずれかと基準値とを大小比較した結果に基づいて、前記第1電圧値及び前記第2電圧値のうち一方を出力する選択出力部を備える。

[13] 請求項12記載の光検出装置は、さらに、

前記選択出力部から出力される電圧値をA/D変換することで該電圧値に応じたデジタル値を出力するA/D変換部を備える。

[14] 請求項1又は2記載の光検出装置において、

前記第2画素データ読出部は、前記容量素子に対して並列的に設けられ、前記接続切替部の前記第3端からの流入電荷量の対数値に応じた第3電圧値を出力する対数圧縮回路を備える。

[15] 請求項14記載の光検出装置は、さらに、

前記第1画素データ読出部から出力される第1電圧値をA/D変換することで該第1電圧値に応じた第1デジタル値を出力するとともに、前記第2画素データ読出部から出力される第2電圧値及び第3電圧値をA/D変換することで該第2電圧値に応じた第2デジタル値及び第3電圧値に応じた第3デジタル値を出力するA/D変換部を備える。

[16] 請求項15記載の光検出装置は、さらに、

前記A/D変換部から出力される第1デジタル値、第2デジタル値及び第3デジタル値を入力し、前記第1電圧値、前記第2電圧値、前記第3電圧値、前記第1デジタル値、前記第2デジタル値及び前記第3デジタル値のうちいずれかと基準値とを大小比較した結果に基づいて、前記第1デジタル値、前記第2デジタル値及び前記第3デジタル値のうちいずれか1つを出力する選択出力部を備える。

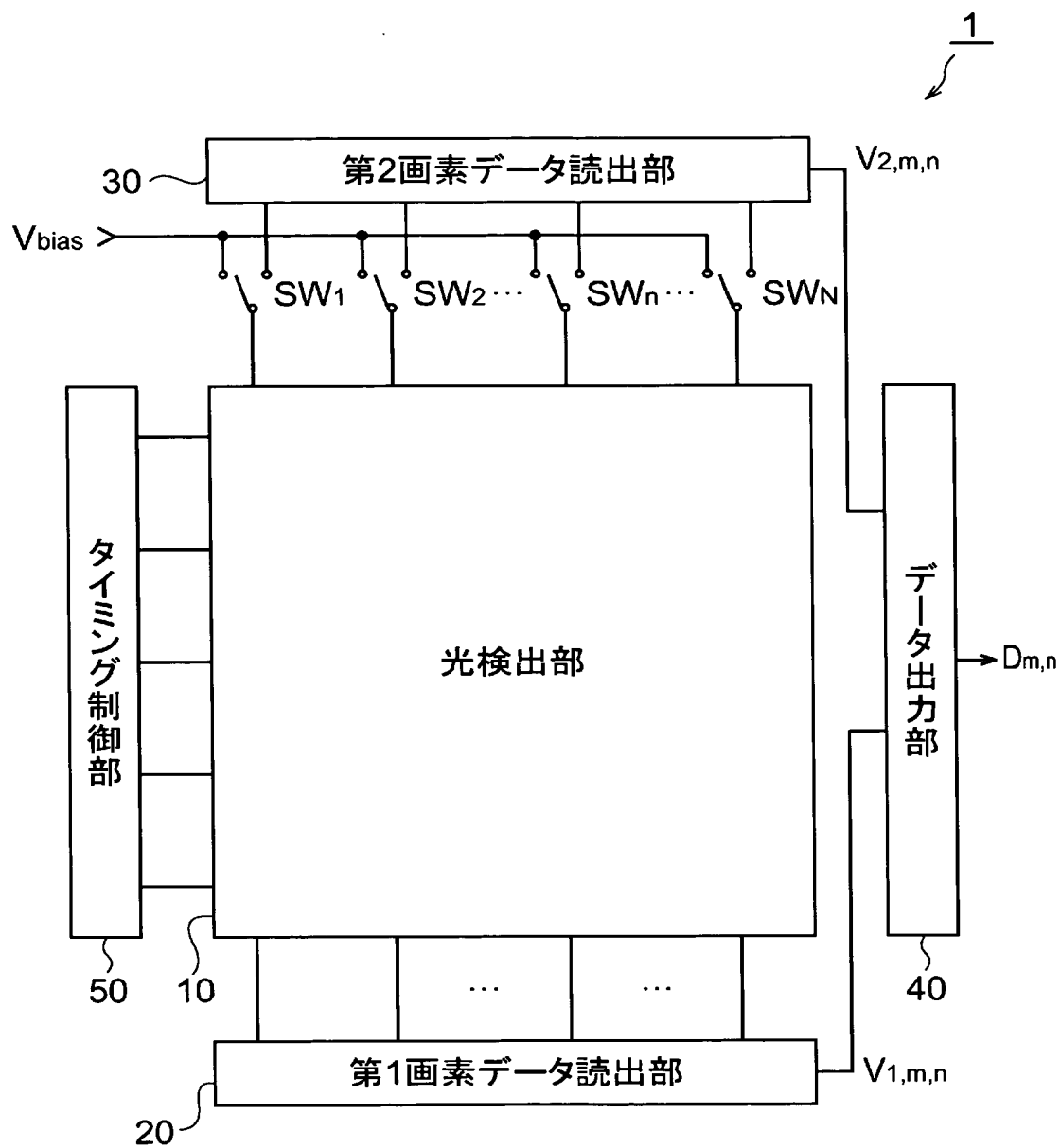
[17] 請求項14記載の光検出装置は、さらに、

前記第1画素データ読出部から出力される第1電圧値と前記第2画素データ読出部から出力される第2電圧値及び第3電圧値とを入力し、前記第1電圧値、前記第2電圧値及び前記第3電圧値のうちいずれかと基準値とを大小比較した結果に基づいて、前記第1電圧値、前記第2電圧値及び前記第3電圧値のうちいずれか1つを出力する選択出力部を備える。

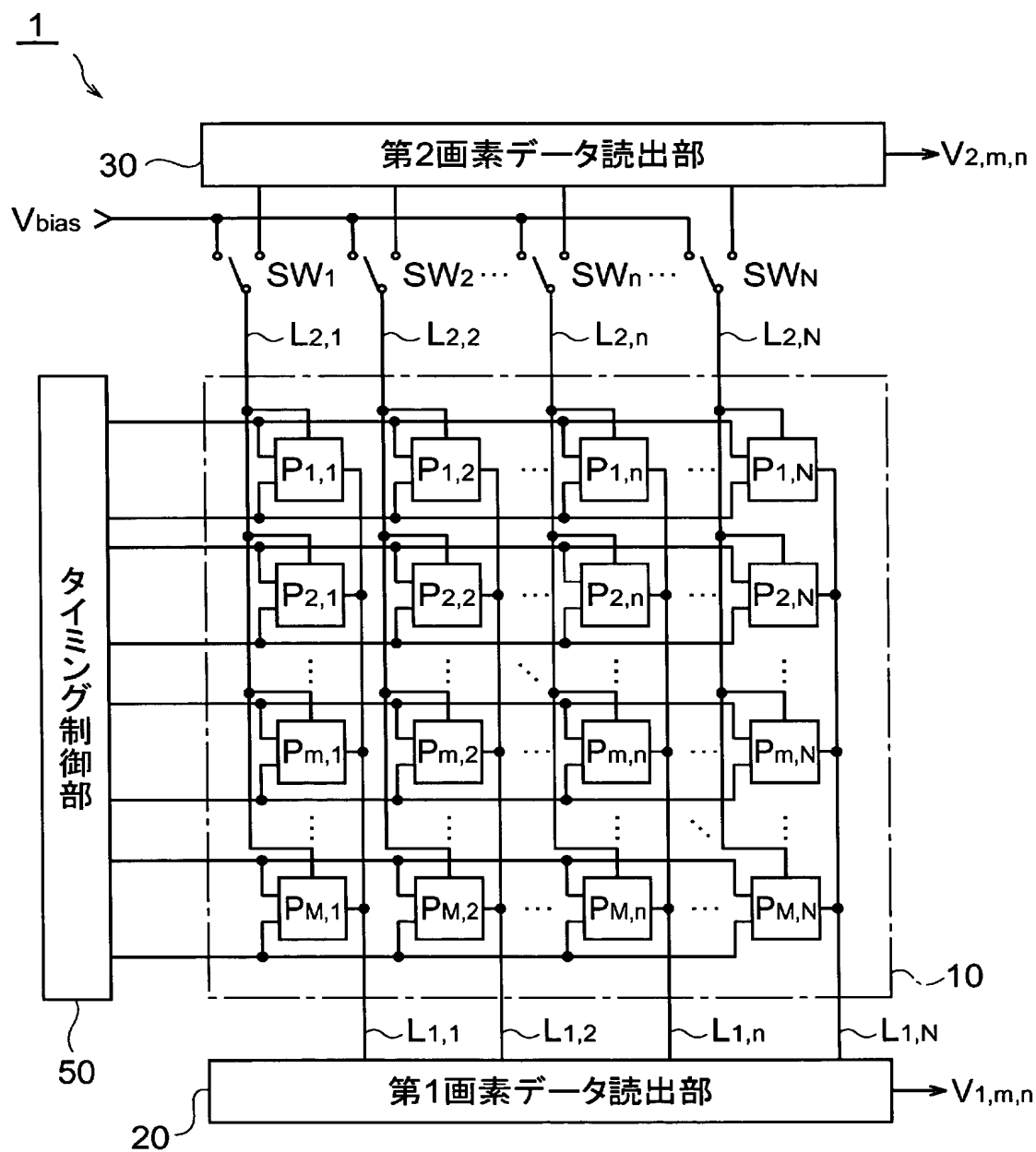
[18] 請求項17記載の光検出装置は、さらに、

前記選択出力部から出力される電圧値をA/D変換することで該電圧値に応じたデジタル値を出力するA/D変換部を備える。

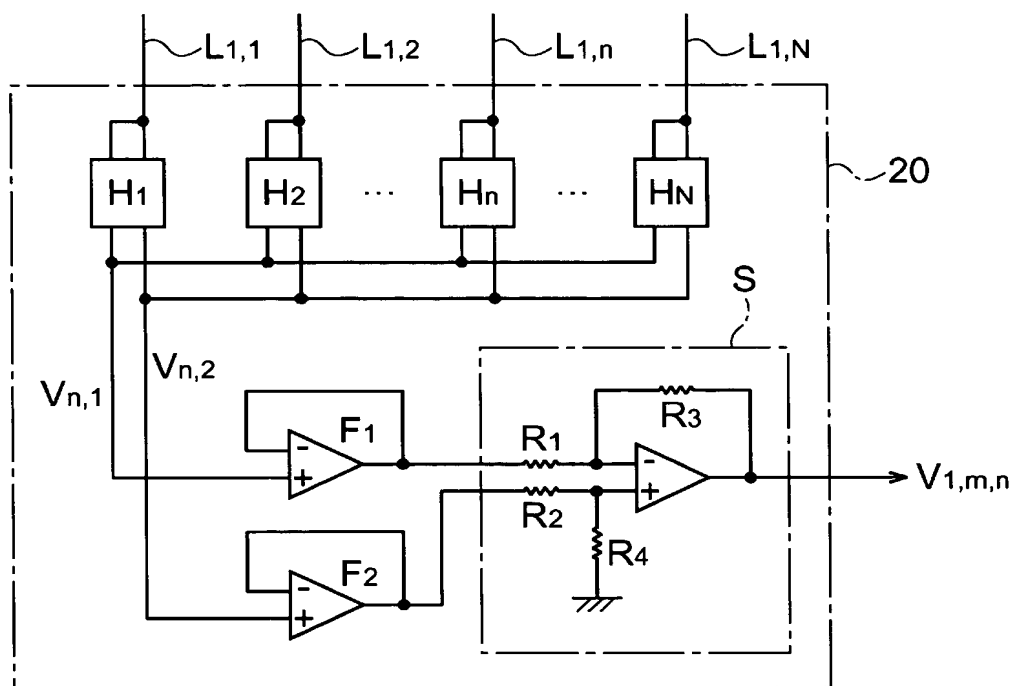
[図1]



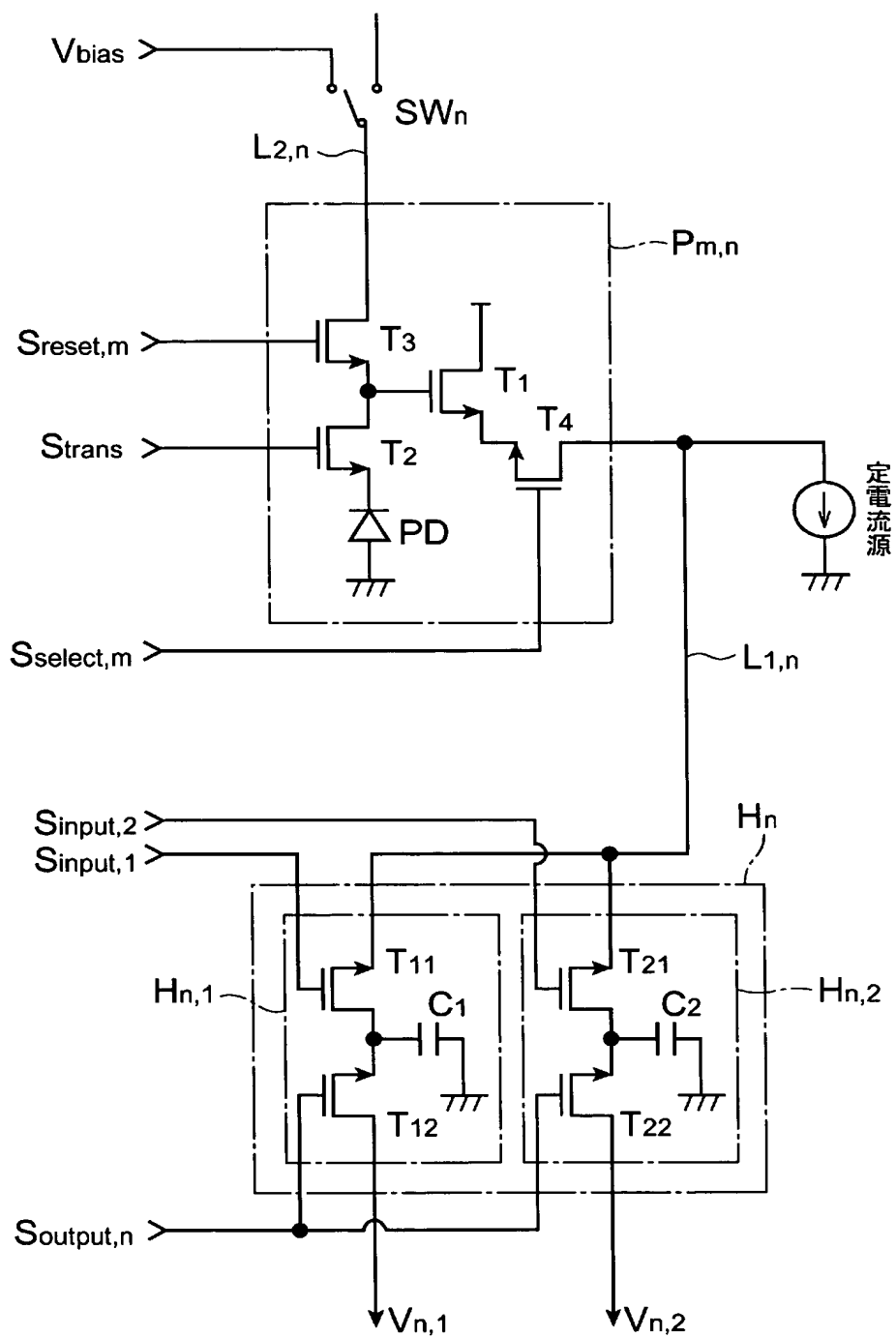
[図2]



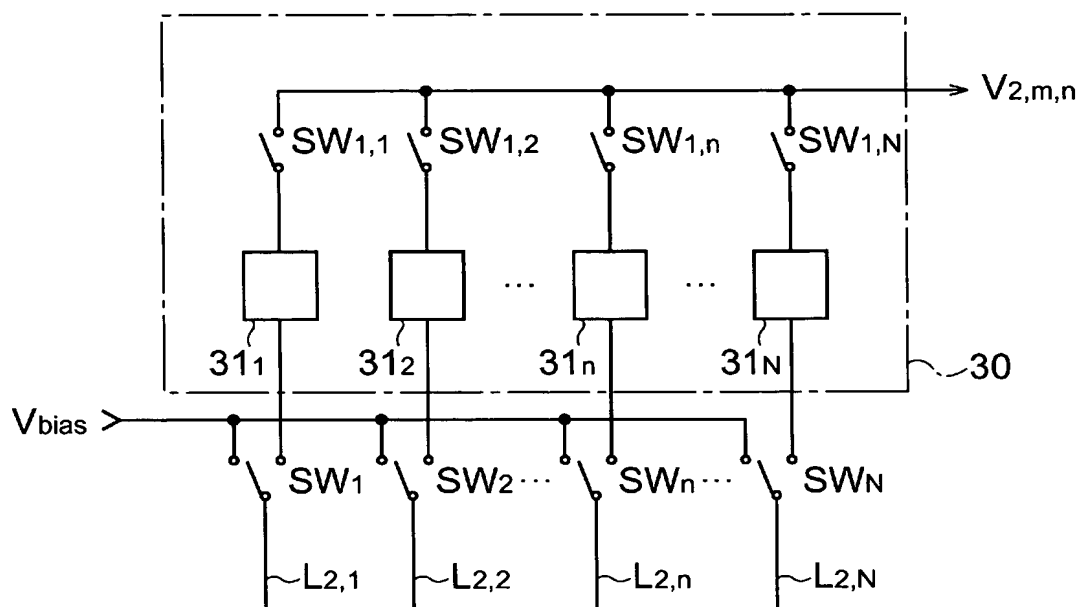
[図3]



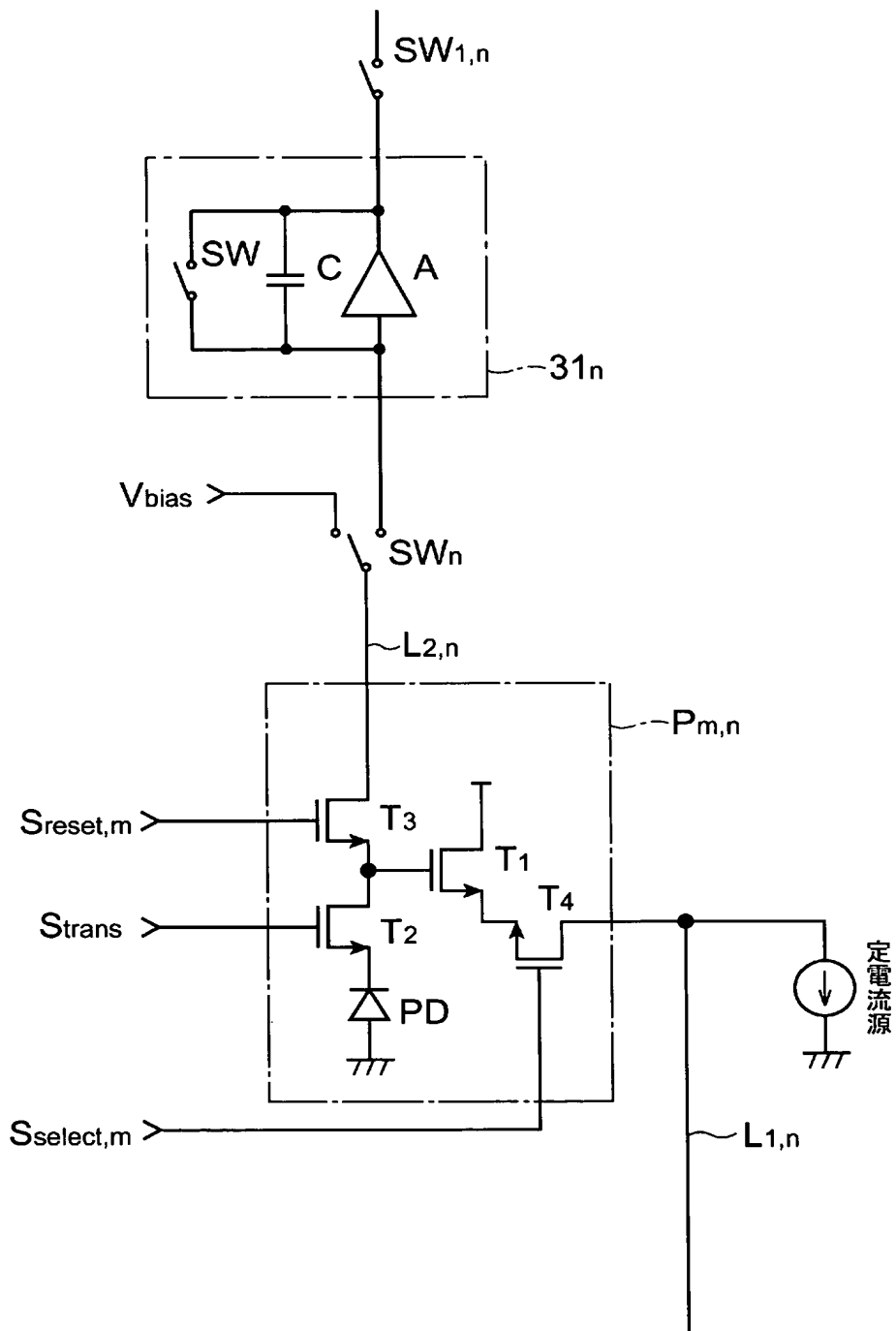
[図4]



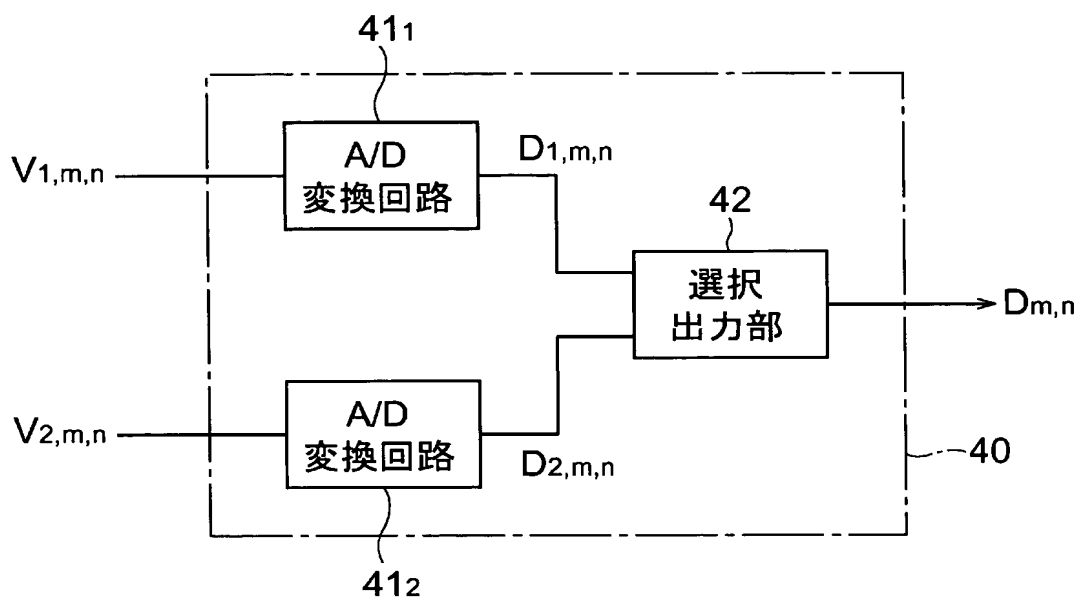
[図5]



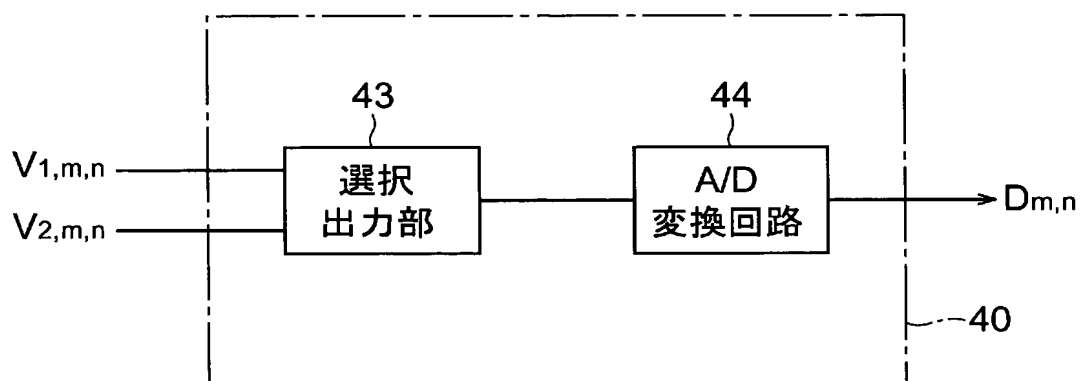
[図6]



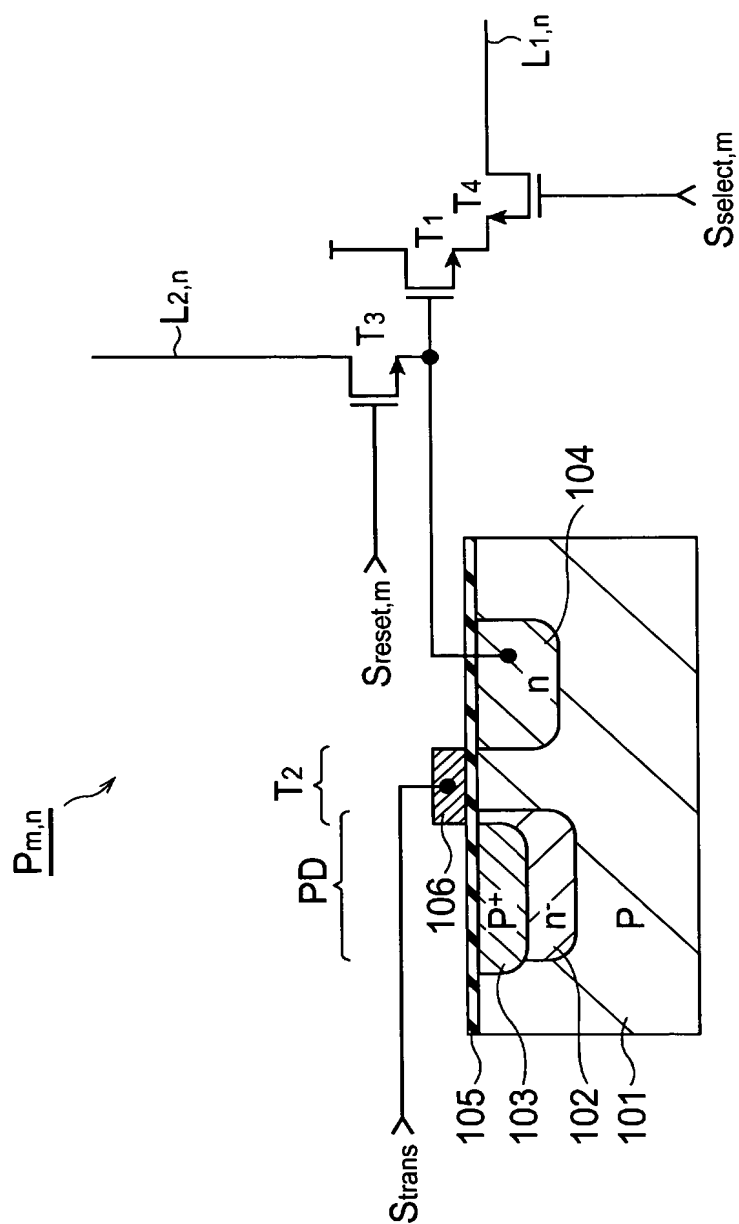
[図7]



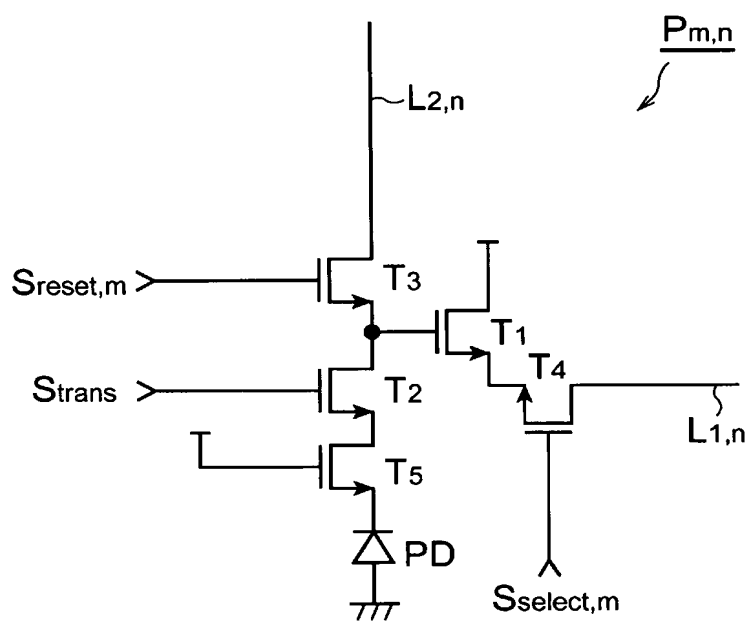
[図8]



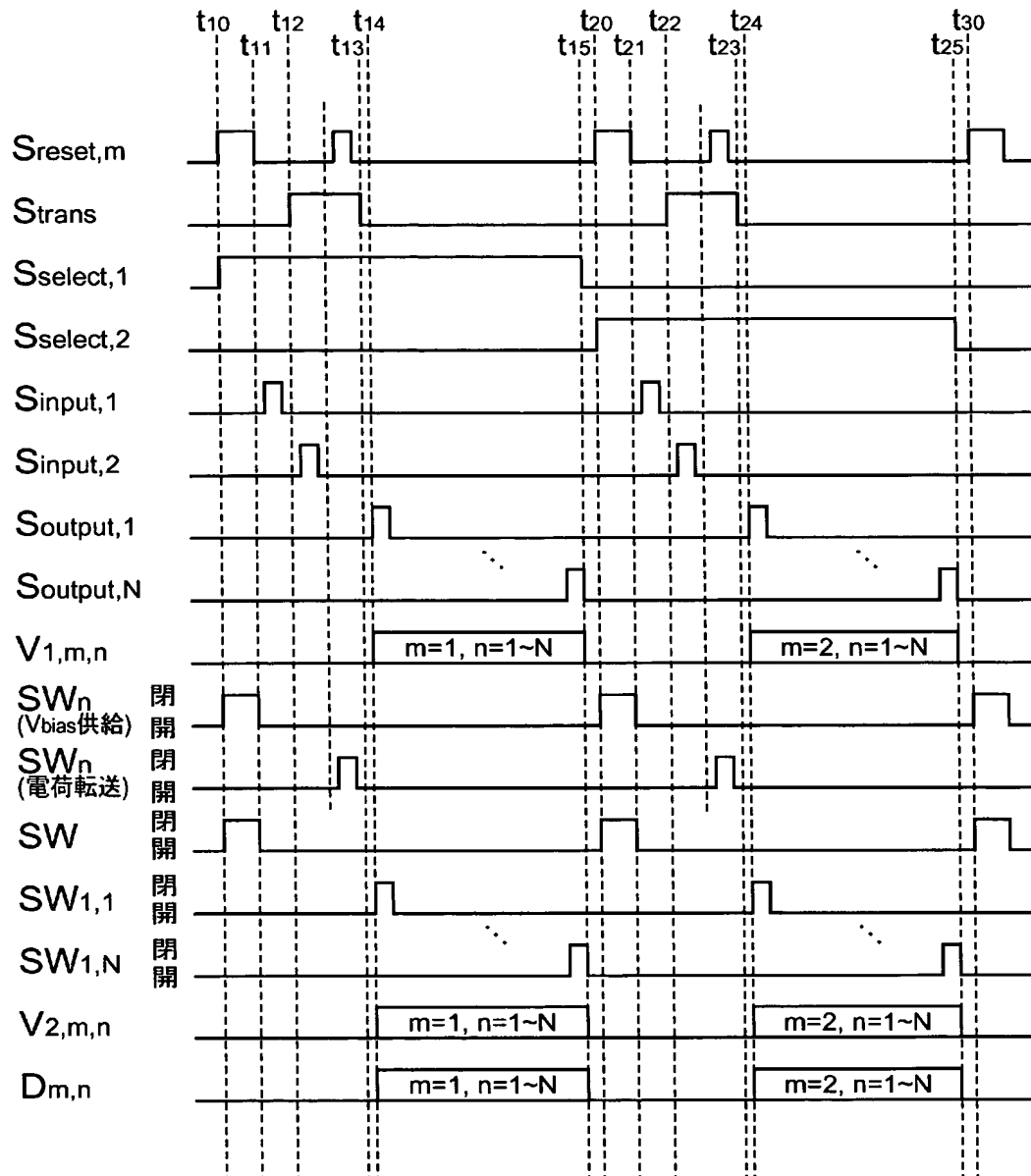
[図9]



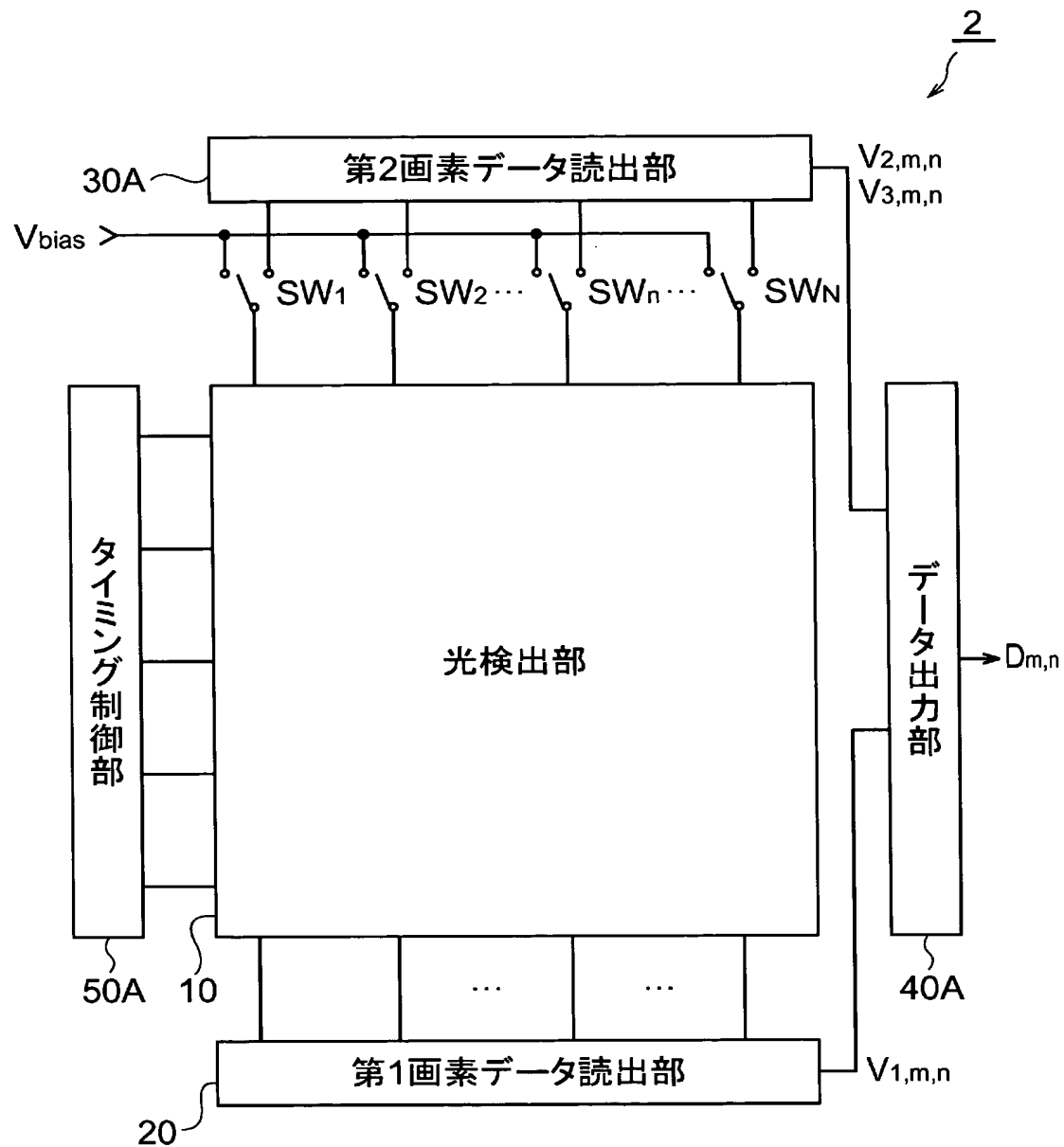
[図10]



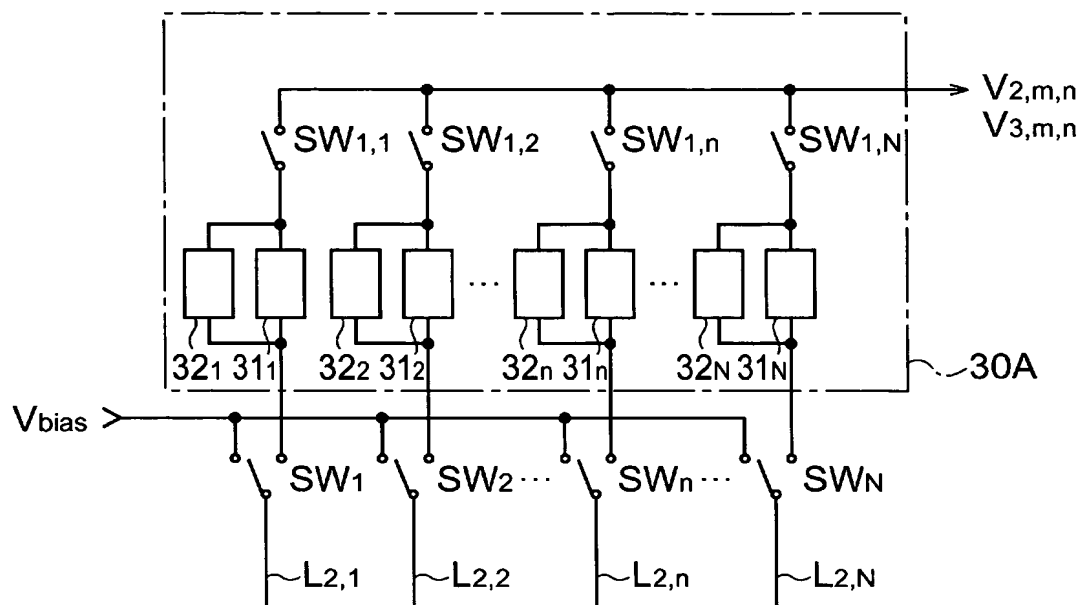
[図11]



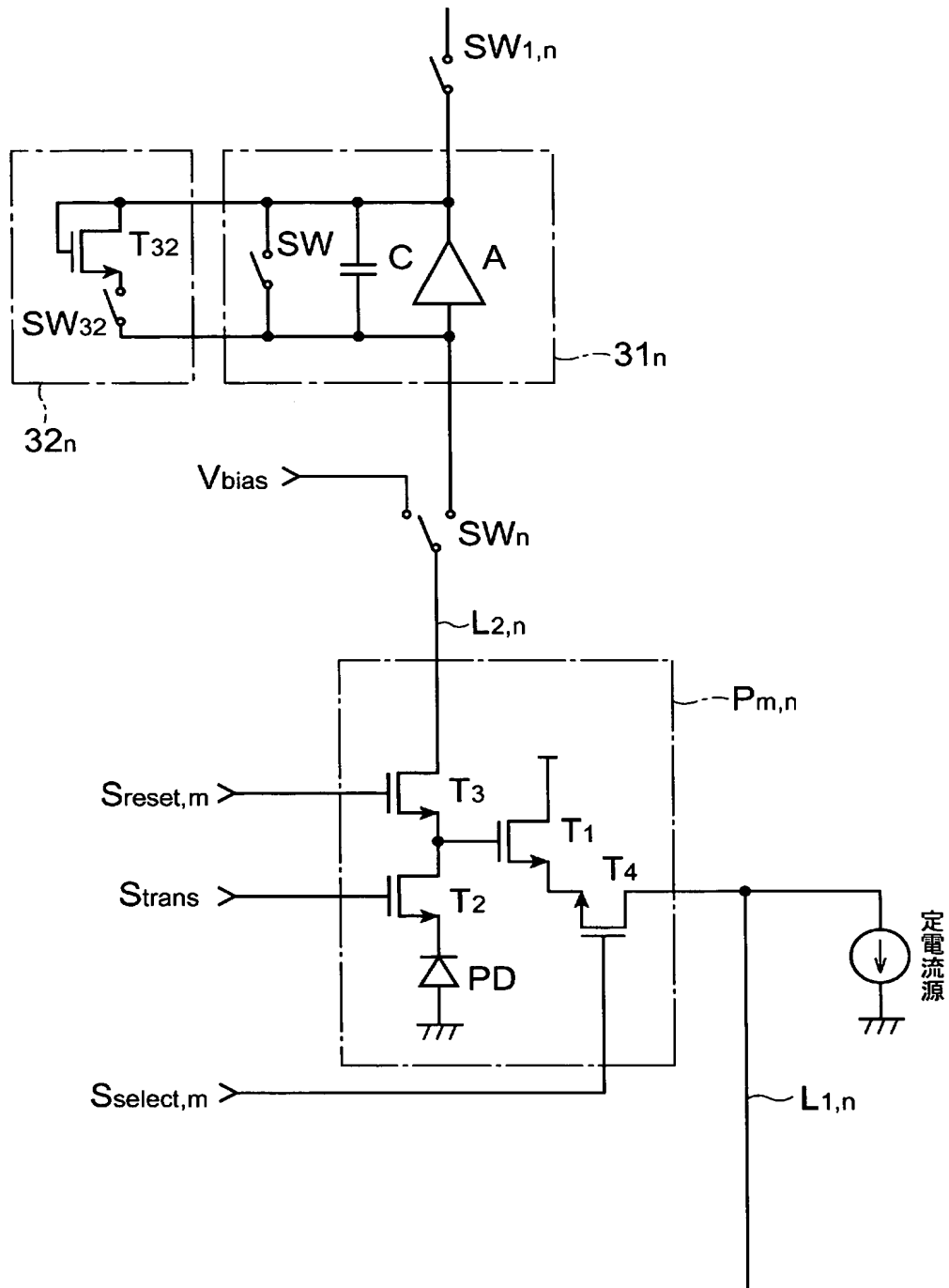
[図12]



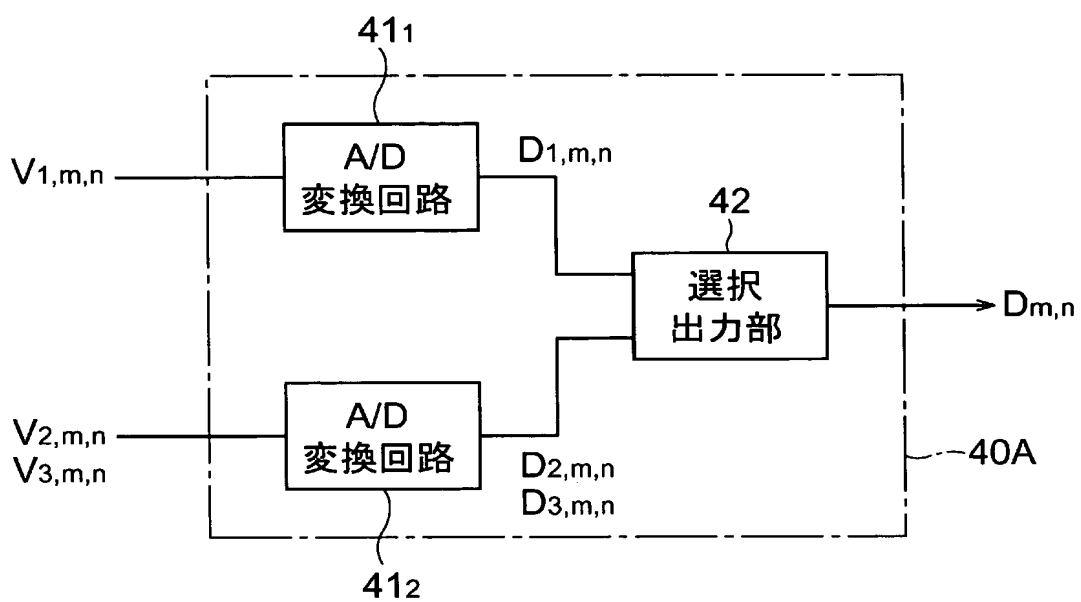
[図13]



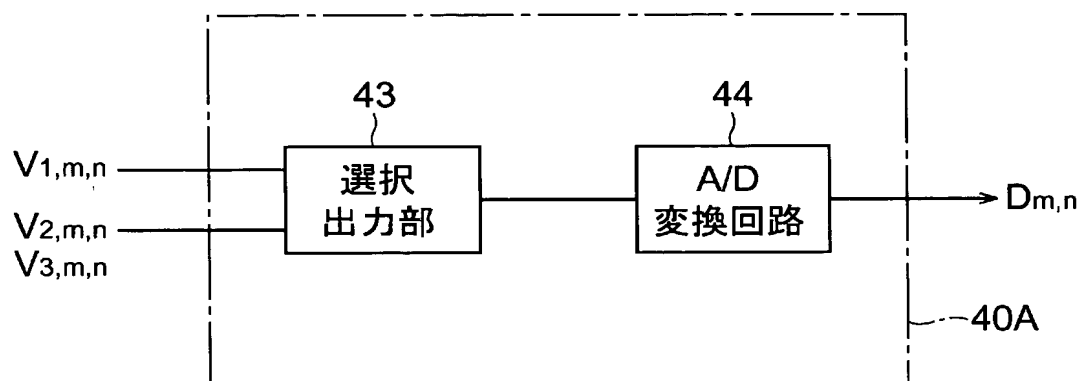
[図14]



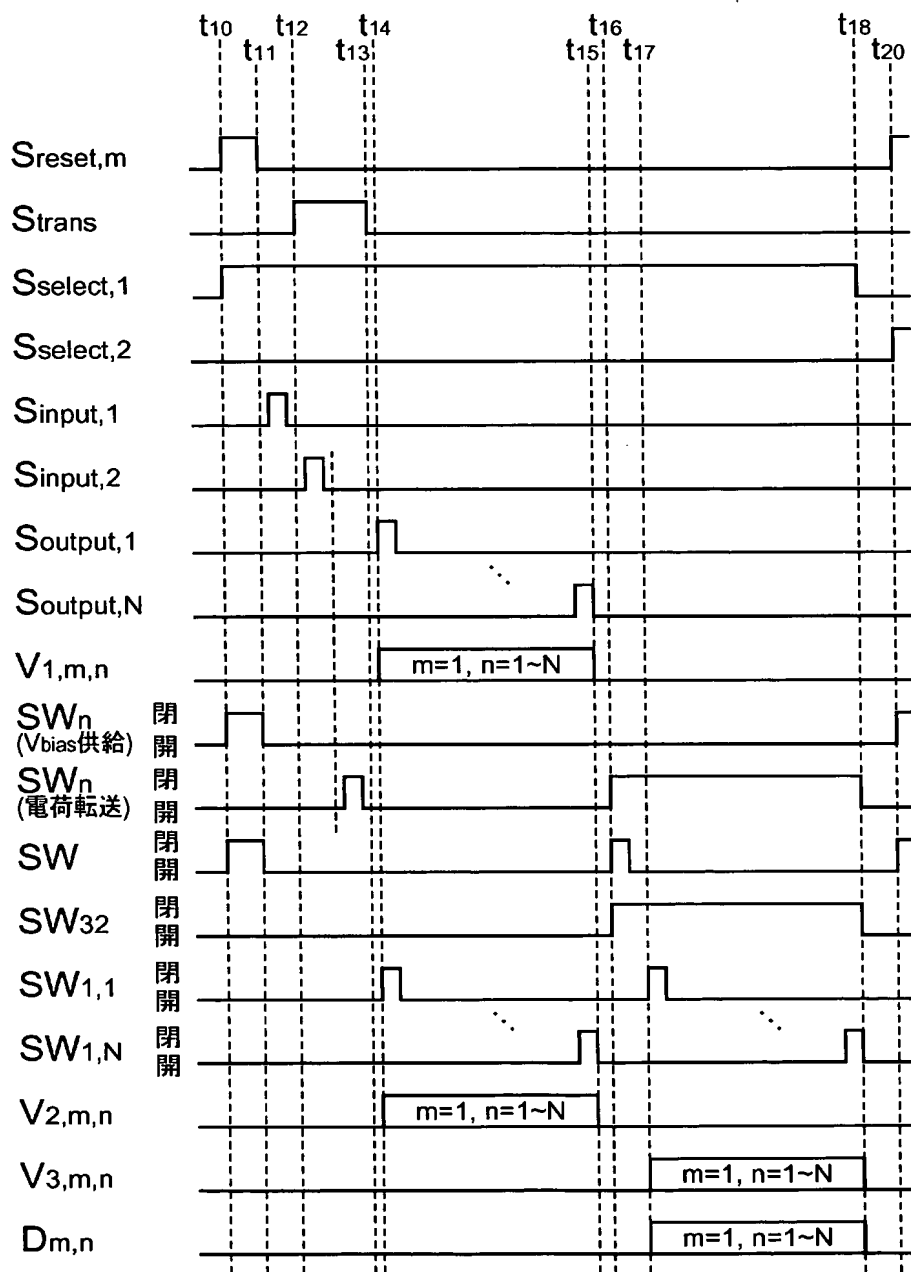
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014091

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04N5/30-5/335, H01L27/14, G01J1/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-93868 A (Sony Corp.), 10 April, 1998 (10.04.98), Full text; Figs. 1 to 10 (Family: none)	1-18
A	JP 9-55888 A (Sony Corp.), 25 February, 1997 (25.02.97), Full text; Figs. 1 to 9 (Family: none)	1-18
A	JP 2000-23044 A (Toshiba Corp.), 21 January, 2000 (21.01.00), Full text; Figs. 1 to 20 (Family: none)	1-18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
27 December, 2004 (27.12.04)

Date of mailing of the international search report
18 January, 2005 (18.01.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014091

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-77737 A (NEC Corp.), 15 March, 2002 (15.03.02), Full text; Figs. 1 to 6 & US 2002/0000508 A1 & US 2002/0153474 A1	1-18
A	JP 2000-165754 A (Canon Inc.), 16 June, 2000 (16.06.00), Full text; Figs. 1 to 22 (Family: none)	1-18
A	JP 8-149376 A (Olympus Optical Co., Ltd.), 07 June, 1996 (07.06.96), Full text; Figs. 1 to 11 & US 5619262 A1	1-18
A	JP 2002-77733 A (Minolta Co., Ltd.), 15 March, 2002 (15.03.02), Full text; Figs. 1 to 50 & EP 1187217 A2 & US 2002/0054389 A1	1-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H04N 5/335

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04N 5/30-5/335,
H01L27/14,
G01J 1/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 10-93868 A (ソニー株式会社) 1998. 04. 10, 全文, 図1-10 (ファミリーなし)	1-18
A	J P 9-55888 A (ソニー株式会社) 1997. 02. 25, 全文, 図1-9 (ファミリーなし)	1-18
A	J P 2000-23044 A (株式会社東芝) 2000. 01. 21, 全文, 図1-20 (ファミリーなし)	1-18

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に関する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

27. 12. 2004

国際調査報告の発送日

18. 1. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J.P.)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

徳田 賢二

5 P

9654

電話番号 03-3581-1101 内線 3502

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-77737 A (日本電気株式会社) 2002. 03. 15, 全文, 図1-6 & US 2002/0000508 A1 & US 2002/0153474 A1	1-18
A	JP 2000-165754 A (キヤノン株式会社) 2000. 06. 16, 全文, 図1-22 (ファミリーなし)	1-18
A	JP 8-149376 A (オリンパス光学工業株式会社) 1996. 06. 07, 全文, 図1-11 & US 5619262 A1	1-18
A	JP 2002-77733 A (ミノルタ株式会社) 2002. 03. 15, 全文, 図1-50 & EP 1187217 A2 & US 2002/0054389 A1	1-18